

Docket No.: 67161-072

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Tsukasa OOISHI :  
Serial No.: : Group Art Unit:  
Filed: July 24, 2003 : Examiner:  
For: THIN FILM MAGNETIC MEMORY DEVICE AND MANUFACTURING METHOD  
THEREFOR

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-022230(P), filed January 30, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:mcw  
Facsimile: (202) 756-8087  
**Date: July 24, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

67161-072

T. DDISHI

July 24, 2003

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月30日

出願番号

Application Number:

特願2003-022230

[ST.10/C]:

[JP2003-022230]

出願人

Applicant(s):

三菱電機株式会社

2003年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010907

【書類名】 特許願

【整理番号】 542943JP01

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15  
H01L 27/105

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 大石 司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に設けられ、メモリ素子として動作する磁性体メモリセルと、

前記磁性体メモリセルに接触する第 1 の面と、前記第 1 の面の反対側に位置し、前記第 1 の面の面積よりも小さい面積で形成された第 2 の面とを有するバッファ層と、

前記磁性体メモリセルと交差するように一方向に延在し、前記第 2 の面に接触する配線とを備える、薄膜磁性体記憶装置。

【請求項 2】 前記バッファ層は、チタンおよびタンタルの少なくとも一方を含む、請求項 1 に記載の薄膜磁性体記憶装置。

【請求項 3】 前記バッファ層は、半導体基板の主表面に平行な面上での断面積が、前記第 1 の面から前記第 2 の面に向かうに従って小さくなるように形成されている、請求項 1 または 2 に記載の薄膜磁性体記憶装置。

【請求項 4】 前記磁性体メモリセルは、半導体基板の主表面に平行な面上での断面が円形状を有するように形成されている、請求項 1 から 3 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 5】 半導体基板の主表面上において導電体膜を堆積する工程と、  
前記導電体膜上に磁性体膜を含む積層膜を堆積する工程と、  
前記積層膜上に第 1 のマスク膜を形成する工程と、  
前記第 1 のマスク膜をマスクとして前記積層膜の一部分および前記導電体膜の一部分をエッチングするとともに他の部分を残存させることによって、所定の間隔を隔てて帯状に延在し、かつ前記導電体膜を含む第 1 および第 2 の配線を形成するとともに、前記第 1 および第 2 の配線上に前記第 1 および第 2 の配線と同一形状の帯状の積層膜を形成する工程と、

前記帯状の積層膜上に、前記第 1 および第 2 の配線に交差するように延在する第 2 のマスク膜を形成する工程と、

前記第 2 のマスク膜をマスクとして前記帯状の積層膜の一部分をエッチングす

るとともに他の部分を残存させることによって、メモリセルとして動作する磁性体メモリセルを形成する工程とを備える、薄膜磁性体記憶装置の製造方法。

【請求項 6】 前記磁性体メモリセルを形成する工程の後に、前記磁性体メモリセルに等方性エッチングを行なうことによって、半導体基板の主表面に平行な面上における前記磁性体メモリセルの断面を円形状とする工程をさらに備える、請求項 5 に記載の薄膜磁性体記憶装置の製造方法。

【請求項 7】 前記第 2 のマスク膜が前記第 1 および第 2 の配線に交差する方向は傾いている、請求項 5 または 6 に記載の薄膜磁性体記憶装置の製造方法。

#### 【発明の詳細な説明】

#### 【0 0 0 1】

#### 【発明の属する技術分野】

この発明は、一般的には、薄膜磁性体記憶装置およびその製造方法に関し、より特定的には、微細化のための構造を備える薄膜磁性体記憶装置およびその製造方法に関する。

#### 【0 0 0 2】

#### 【従来の技術】

近年、次世代の半導体記憶装置として、MRAM (Magnetic Random Access Memory) が研究されている。MRAM のメモリセルアレイ構成としては、磁気トンネル接合 (MTJ ; Magnetic Tunnel Junction) を含む TMR (Tunneling Magnetoresistive) 素子とセル選択トランジスタとからなる、いわゆる 1 トランジスタ 1 MTJ 型が例として挙げられる。また、TMR 素子と、たとえばセル選択ダイオードとからなる、いわゆるクロスポイント型のメモリセルが他の例として挙げられる。

#### 【0 0 0 3】

1 トランジスタ 1 MTJ 型のメモリセルの構造をより詳細に説明すると、MRAM のメモリセルは、半導体基板上に形成されたトランジスタと、ストラップを介してトランジスタに電氣的に接続される TMR 素子と、上方に位置する TMR 素子との間に絶縁体膜を介して延在するディジット線と、下方に位置する TMR 素子との間にバッファ層を介して延在するビット線とを備える。そして、ディジ

ット線およびビット線に電流を流すことによって発生する磁場を用いて、TMR素子の磁気トンネル接合を構成するフリー層としての強磁性体層の磁化方向を変更しメモリセルのデータの書き換えを行なっている。

#### 【0004】

このMRAMのメモリセルについては、たとえば特開2002-204010号公報に磁気抵抗素子として開示されている（特許文献1）。特許文献1に開示された磁気抵抗素子は、基板上に形成された下部電極兼下地層と、下部電極兼下地層上に形成された固定磁性層と、固定磁性層上に形成された中間層と、中間層上に形成された自由磁性層とを備える。基板上に形成されたこれら各層からなる積層膜は、2  $\mu$ mから10  $\mu$ m角のメサ型に微細加工されている。

#### 【0005】

またMRAMのメモリセルについて開示する別の文献としては、特開2002-305290号公報が挙げられる（特許文献2）。

#### 【0006】

##### 【特許文献1】

特開2002-204010号公報

#### 【0007】

##### 【特許文献2】

特開2002-305290号公報

#### 【0008】

##### 【発明が解決しようとする課題】

このようなMRAMのメモリセルは、所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって形成される。しかし、フォトリソグラフィ工程における露光時の誤差を考えた場合、上下に位置して互いに接触すべき構造物がずれて形成されることを防止するため、下層に位置する、たとえばストラップの幅を、そのストラップの上層に位置するTMR素子の幅よりも大きくしなければならない。このような場合、メモリセルのレイアウト面積を余分に大きくする必要が生じ、メモリセルの微細化が図れないという問題が発生する。

## 【0009】

また、フォトリソグラフィ工程における露光時の誤差によって、たとえば下層に位置するTMR素子と、そのTMR素子の上層に位置するビット線とがずれて形成された場合、TMR素子とビット線との接触面積がメモリセルによって異なるという事態が生じる。このような場合、TMR素子とビット線との接触部の抵抗値がメモリセルによって異なることとなる。そしてこのことは、メモリセルからデータを読み出す際においてリード電流がばらつく原因となる。

## 【0010】

また、特許文献1に開示されている磁気抵抗素子では、基板上に形成された自由磁性層などからなる積層膜、つまりメモリセルのTMR素子部分がメサ型に加工されている。しかしこの場合、中間層を挟んだ固定磁性層の面積と自由磁性層の面積とがメサ型に形成された部分の形状によってばらつく。また、隣接するTMR素子間の短絡不良を完全に防止するため、この積層膜に行なうメサ型の加工は主にウェットエッチングによって行なわれる。ウェットエッチングによる加工の場合、メサ型の形状を制御することはより困難になるため、中間層を挟んだ固定磁性層の面積と自由磁性層の面積とのばらつきは特に大きくなると考えられる。

## 【0011】

このようなばらつきは、MRAMの書き換え特性に大きな影響を与える。また、メサ型の形状によって中間層と固定磁性層との接触面積、および中間層と自由磁性層との接触面積も変わるため抵抗特性も変化する。このため、TMR素子に流れるリード電流が変化することとなるため、リード電流によってメモリセルに蓄積されたデータの1と0とを判定する際に読み出し不良が発生するおそれが生じる。

## 【0012】

そこでこの発明の目的は、上記の課題を解決することであり、メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供することである。

## 【0013】



## 【課題を解決するための手段】

この発明に従った薄膜磁性体記憶装置は、半導体基板の主表面上に設けられ、メモリ素子として動作する磁性体メモリセルと、磁性体メモリセルに接触する第1の面と、第1の面の反対側に位置し、第1の面の面積よりも小さい面積で形成された第2の面とを有するバッファ層と、磁性体メモリセルと交差するように一方向に延在し、第2の面に接触する配線とを備える。

【0014】

## 【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【0015】

## (実施の形態1)

図1は、この発明の実施の形態1における薄膜磁性体記憶装置を示す断面図である。図1は、薄膜磁性体記憶装置のメモリセル領域を示している。そのメモリセル領域には、MRAM (Magnetic Random Access Memory) の1トランジスタ1MTJ型のメモリセルが2つ形成されている。

【0016】

図1を参照して、シリコン基板1の主表面1aには、ソース/ドレイン領域2aから2dが形成されている。ソース/ドレイン領域2aおよび2bの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3aが形成されている。ソース/ドレイン領域2aおよび2b、ゲート電極3aならびにゲート絶縁膜から1つの電界効果トランジスタが形成されている。同様に、ソース/ドレイン領域2cおよび2dの間に位置するシリコン基板1上には、図示しないゲート絶縁膜を介してゲート電極3bが形成されている。ソース/ドレイン領域2cおよび2d、ゲート電極3bならびにゲート絶縁膜から別の電界効果トランジスタが形成されている。ゲート電極3aおよび3bは、ポリシリコン、ポリシリコンとC o S i との積層膜、またはW S i などから形成されている。

【0017】

シリコン基板1の主表面1aならびにゲート電極3aおよび3bを覆うようにシリコン酸化膜からなる層間絶縁膜4が形成されている。層間絶縁膜4には、ソ

ース／ドレイン領域 2 a から 2 d にそれぞれ達するコンタクトホール 5 a から 5 d が形成されている。ソース／ドレイン領域 2 a から 2 d が、コンタクトホール 5 a から 5 d の底面を規定している。コンタクトホール 5 b および 5 c は、層間絶縁膜 4 の頂面側において図 1 の紙面に対して垂直方向に延在するように形成されている。

#### 【0018】

コンタクトホール 5 a から 5 d の内壁を覆うように、バリアメタル膜 6 a から 6 d が形成されている。バリアメタル膜 6 a から 6 d は、窒化チタン (TiN) または窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) などのバリアメタルから形成されている。バリアメタル膜 6 a から 6 d 上には、コンタクトホール 5 a から 5 d の内部を完全に充填するようにコンタクトプラグ 7 a から 7 d が形成されている。コンタクトプラグ 7 a から 7 d は、銅 (Cu)、アルミニウム (Al)、タングステン (W) またはチタン (Ti) などの導電性材料から形成されている。

#### 【0019】

層間絶縁膜 4 上には、シリコン酸化膜からなる層間絶縁膜 8 が形成されている。層間絶縁膜 8 には、コンタクトプラグ 7 a およびバリアメタル膜 6 a に達するコンタクトホール 9 a が形成されている。層間絶縁膜 8 には、コンタクトプラグ 7 d およびバリアメタル膜 6 d に達するコンタクトホール 9 d が形成されている。層間絶縁膜 8 の頂面側には、コンタクトホール 9 a および 9 d のそれぞれに連通し、コンタクトホール 9 a および 9 d よりも大きい径を有するコンタクトホール 3 9 a および 3 9 d が形成されている。

#### 【0020】

コンタクトホール 9 a および 3 9 a とコンタクトホール 9 d および 3 9 d との内壁をそれぞれ覆うように、バリアメタル膜 1 1 a および 1 1 d が形成されている。バリアメタル膜 1 1 a および 1 1 d は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 1 1 a および 1 1 d 上には、コンタクトホール 9 a および 3 9 a とコンタクトホール 9 d および 3 9 d との内部をそれぞれ完全に充填するようにコンタクトプラグ 1 2 a および 1 2 d が形成されている。コンタクトプラグ 1 2 a および 1 2 d は、銅、アルミニウム、タ

ングステンまたはチタンなどの導電性材料から形成されている。

#### 【 0 0 2 1 】

コンタクトプラグ 7 b および 7 c の上方に位置する層間絶縁膜 8 の部分には、配線用溝 2 3 a および 2 3 b が形成されている。配線用溝 2 3 a および 2 3 b は、図 1 の紙面に対して垂直方向に延在している。配線用溝 2 3 a および 2 3 b の内壁をそれぞれ覆うようにバリアメタル膜 1 8 a および 1 8 b が形成されている。バリアメタル膜 1 8 a および 1 8 b は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。

#### 【 0 0 2 2 】

バリアメタル膜 1 8 a および 1 8 b 上には、配線用溝 2 3 a および 2 3 b の内部を完全に充填するように導電体膜 1 7 a および 1 7 b が形成されている。導電体膜 1 7 a および 1 7 b の頂面と層間絶縁膜 8 の頂面とは、同一平面上に形成されている。導電体膜 1 7 a および 1 7 b は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。配線用溝 2 3 a の内部に形成されたバリアメタル膜 1 8 a および導電体膜 1 7 a は、MRAM のメモリセルにおける第 1 のディジット線を構成している。配線用溝 2 3 b の内部に形成されたバリアメタル膜 1 8 b および導電体膜 1 7 b は、MRAM のメモリセルにおける第 2 のディジット線を構成している。

#### 【 0 0 2 3 】

層間絶縁膜 8 上には、シリコン酸化膜からなる層間絶縁膜 1 9 が形成されている。層間絶縁膜 1 9 には、コンタクトプラグ 1 2 a および 1 2 d にそれぞれ達するコンタクトホール 2 1 a および 2 1 b が形成されている。コンタクトホール 2 1 a および 2 1 b の内部を充填し層間絶縁膜 1 9 の頂面を一部覆うようにして、ストラップ 2 0 a および 2 0 b が形成されている。ストラップ 2 0 a とストラップ 2 0 b とは分離して形成されている。ストラップ 2 0 a および 2 0 b は、銅 (Cu)、タンタル (Ta) またはチタン (Ti) などの導電性材料から形成されている。

#### 【 0 0 2 4 】

ストラップ 2 0 a および 2 0 b の一方端は、層間絶縁膜 1 9 の頂面上で第 1 お

よび第2のディジット線の上方まで延在している。ストラップ20aおよび20bの他方端は、コンタクトホール21aおよび21bの内部でコンタクトプラグ12aおよび12bの頂面にそれぞれ接触しており、シリコン基板1上に形成された前述の電界効果トランジスタに電氣的に接続されている。

【0025】

ストラップ20aおよび20bの頂面上には、第1および第2のディジット線の上方に位置してTMR素子24aおよび24bが形成されている。TMR素子24aおよび24bは、磁気トンネル接合を含む磁性体メモリセルである。TMR素子24aおよび24bは、CoFeおよびNiFeなどの磁性体膜を含む積層膜によって形成されている。

【0026】

TMR素子24aおよび24b上には、チタン(Ti)またはタンタル(Ta)などの導電性材料からなるバッファ層41aおよび41bが形成されている。なお図1では、バッファ層41aおよび41bは詳細な形状が省略されて描かれている。

【0027】

一般的にバッファ層とは、本来メモリセルに必要な積層膜に対して下方または上方から配線を接続する際に、積層膜と配線との間に位置決めする薄膜層をいう。たとえば、上方からの配線に対するバッファ層であれば、上方からの配線をコンタクトさせるためのコンタクトホールのエッチングが、削りすぎなどによってメモリセルの積層膜に影響を与えないことを目的として、メモリセルの積層膜上に導電性の膜からなるバッファ層を配置する。

【0028】

ストラップ20aおよび20bから露出した層間絶縁膜19の頂面とストラップ20aおよび20bとを覆うように、シリコン酸化膜からなる層間絶縁膜25が形成されている。層間絶縁膜25の頂面とバッファ層41aおよび41bの頂面とは同一平面に形成されている。つまり、TMR素子24aおよび24bならびにバッファ層41aおよび41bは、層間絶縁膜25に埋設された状態で形成されているが、バッファ層41aおよび41bの頂面は層間絶縁膜25から露出

している。

#### 【 0 0 2 9 】

層間絶縁膜 2 5 上には、シリコン酸化膜からなる図示しない層間絶縁膜 4 0 が形成されている。層間絶縁膜 4 0 には、層間絶縁膜 2 5 の頂面によって底面が規定され、第 1 および第 2 のディジット線が延在する方向に垂直な方向に延在する配線用溝 3 6 a が形成されている。配線用溝 3 6 a は、バッファ層 4 1 a および 4 1 b の頂面上に形成されている。

#### 【 0 0 3 0 】

配線用溝 3 6 a の内壁を覆うように、バリアメタル膜 2 6 a が形成されている。バリアメタル膜 2 6 a は、バッファ層 4 1 a および 4 1 b の頂面と接触している。バリアメタル膜 2 6 a は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 2 6 a 上には、配線用溝 3 6 a の内部を完全に充填するように導電体膜 2 7 a が形成されている。導電体膜 2 7 a は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。配線用溝 3 6 a の内部に形成されたバリアメタル膜 2 6 a および導電体膜 2 7 a は、MRAM のメモリセルにおける第 1 のビット線を構成している。

#### 【 0 0 3 1 】

つまり、導電体膜 1 7 a およびバリアメタル膜 1 8 a と導電体膜 1 7 b およびバリアメタル膜 1 8 b とからそれぞれ構成される第 1 および第 2 のディジット線と、導電体膜 2 7 a およびバリアメタル膜 2 6 a から構成される第 1 のビット線とが、TMR 素子 2 4 a および 2 4 b を挟んで直角に交差している。そして、第 1 および第 2 のディジット線と第 1 のビット線とが交差する位置に TMR 素子 2 4 a および 2 4 b が形成されている。

#### 【 0 0 3 2 】

層間絶縁膜 4 0 上には、シリコン酸化膜からなる層間絶縁膜 2 8 が形成されている。層間絶縁膜 2 8 の頂面側には、配線用溝 2 9 a および 2 9 b が形成されている。配線用溝 2 9 a および 2 9 b は、図 1 の紙面に対して垂直方向に延在している。配線用溝 2 9 a および 2 9 b の内壁を覆うように、バリアメタル膜 3 0 a および 3 0 b が形成されている。バリアメタル膜 3 0 a および 3 0 b は、窒化チ

タンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 3 0 a および 3 0 b 上には、配線用溝 2 9 a および 2 9 b の内部を完全に充填するように導電体膜 3 1 a および 3 1 b が形成されている。導電体膜 3 1 a および 3 1 b は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

## 【 0 0 3 3 】

層間絶縁膜 2 8 上には、シリコン酸化膜からなる層間絶縁膜 3 2 が形成されている。層間絶縁膜 3 2 の頂面側には、配線用溝 2 9 a および 2 9 b が延在する方向に直角方向に延在する配線用溝 3 5 が形成されている。配線用溝 3 5 の内壁を覆うようにバリアメタル膜 3 3 が形成されている。バリアメタル膜 3 3 は、窒化チタンまたは窒化タンタルなどのバリアメタルから形成されている。バリアメタル膜 3 3 上には、配線用溝 3 5 の内部を完全に充填するように導電体膜 3 4 が形成されている。導電体膜 3 4 は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。

## 【 0 0 3 4 】

図 1 に示されている M R A M の 1 つのメモリセルは、ワード線としてのゲート電極 3 a、図示しないゲート絶縁膜、ならびにソース／ドレイン領域 2 a および 2 b からなる電界効果トランジスタと、この電界効果トランジスタに電氣的に接続されたストラップ 2 0 a と、ストラップ 2 0 a の頂面上に形成された T M R 素子 2 4 a およびバッファ層 4 1 a と、T M R 素子 2 4 a の下方で延在し、導電体膜 1 7 a およびバリアメタル膜 1 8 a からなる第 1 のディジット線と、T M R 素子 2 4 a の頂面に接触して延在する導電体膜 2 7 a およびバリアメタル膜 2 6 a からなる第 1 のビット線とを備える。

## 【 0 0 3 5 】

また、図 1 に示されている M R A M の別のメモリセルは、ワード線としてのゲート電極 3 b、図示しないゲート絶縁膜、ならびにソース／ドレイン領域 2 c および 2 d からなる電界効果トランジスタと、この電界効果トランジスタに電氣的に接続されたストラップ 2 0 b と、ストラップ 2 0 b の頂面上に形成された T M R 素子 2 4 b およびバッファ層 4 1 b と、T M R 素子 2 4 b の下方で延在し、導

電体膜 1 7 b およびバリアメタル膜 1 8 b からなる第 2 のディジット線と、TMR 素子 2 4 b の頂面に接触して延在する導電体膜 2 7 a およびバリアメタル膜 2 6 a からなる第 1 のビット線とを備える。

【 0 0 3 6 】

図 2 は、図 1 中の薄膜磁性体記憶装置を示す平面図である。図 2 では特に、ビット線、ディジット線、TMR 素子、バッファ層およびストラップを示している。図 1 は、図 2 中の I - I 線上に沿った断面図である。

【 0 0 3 7 】

図 2 を参照して、導電体膜 2 7 a およびバリアメタル膜 2 6 a から構成される第 1 のビット線と導電体膜 2 7 b およびバリアメタル膜 2 6 b から構成される第 2 のビット線とが所定の間隔を隔てて延在している。導電体膜 1 7 a およびバリアメタル膜 1 8 a から構成される第 1 のディジット線と導電体膜 1 7 b およびバリアメタル膜 1 8 b から構成される第 2 のディジット線とが所定の間隔を隔てて第 1 および第 2 のビット線が延在する方向に垂直方向に延在している。

【 0 0 3 8 】

第 1 のビット線に重なる領域には、矩形形状を有するストラップ 2 0 a および 2 0 b が所定の間隔を隔てて形成されている。同様に、第 2 のビット線に重なる領域には、矩形形状を有するストラップ 2 0 m および 2 0 n が所定の間隔を隔てて形成されている。

【 0 0 3 9 】

TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n と、これらの TMR 素子上にそれぞれ形成されたバッファ層 4 1 a、4 1 b、4 1 m および 4 1 n が、第 1 および第 2 のビット線と第 1 および第 2 のディジット線とが交差する位置にマトリックス状に配置されている。TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n は、ディジット線が延在する方向に延びる長軸と、ビット線が延在する方向に延びる短軸とを有する楕円形状に形成されている。その楕円形状の長軸の長さは、ディジット線が延在する方向におけるストラップ 2 0 a、2 0 b、2 0 m および 2 0 n の長さ（以後、ストラップの幅とも呼ぶ）と同一となっている。

【 0 0 4 0 】

図 3 は、図 2 中の I I I - I I I 線に沿った断面図である。図 3 を参照して、配線用溝 3 6 a および 3 6 b が形成された層間絶縁膜 4 0 が層間絶縁膜 2 5 上に形成されている。TMR 素子 2 4 a は、ストラップ 2 0 a の幅一杯に形成されている。また、TMR 素子 2 4 m は、ストラップ 2 0 m の幅一杯に形成されている。

#### 【0 0 4 1】

つまり、薄膜磁性体記憶装置は、半導体基板の主表面上において一方向に延在する側壁であって、互いに向い合う第 1 および第 2 の側壁と、第 1 および第 2 の側壁の各々に連なる頂面とを有する帯状の配線と、その頂面上に設けられた磁性体メモリセルとを備える。磁性体メモリセルは、第 1 および第 2 の側壁の各々に同一平面上において連なる第 3 および第 4 の側壁を有する。

#### 【0 0 4 2】

図 4 は、図 1 中の薄膜磁性体記憶装置において TMR 素子が形成されている部分を示す斜視図である。図 3 および図 4 を参照して、バッファ層 4 1 a および 4 1 m の側壁は、傾斜面 5 3 によって規定されている。バッファ層 4 1 a および 4 1 m は、TMR 素子 2 4 a または 2 4 m に接触する第 1 の面 5 2 と、第 1 の面 5 2 と反対側に位置して、第 1 のビット線を構成するバリアメタル膜 2 6 a または第 2 のビット線を構成するバリアメタル膜 2 6 b に接触する第 2 の面 5 1 と、第 1 の面 5 2 から第 2 の面 5 1 まで連なる傾斜面 5 3 とを有する。傾斜面 5 3 の傾きは、傾斜面 5 3 が第 1 の面 5 2 から第 2 の面 5 1 に達するまでほぼ一定である。第 2 の面 5 1 の面積は、第 1 の面 5 2 の面積よりも小さい。

#### 【0 0 4 3】

バッファ層 4 1 a および 4 1 b 上には、第 2 の面 5 1 の全体に接触するように第 1 および第 2 のビット線が形成されている。第 1 および第 2 のビット線は、ストラップ 2 0 a および 2 0 b の幅とほぼ同一長さの幅で形成されている。

#### 【0 0 4 4】

この発明の実施の形態 1 に従った薄膜磁性体記憶装置は、半導体基板としてのシリコン基板 1 の主表面 1 a 上に設けられ、メモリ素子として動作する磁性体メモリセルとしての TMR 素子 2 4 a と、TMR 素子 2 4 a に接触する第 1 の面 5



2 と、第 1 の面 5 2 の反対側に位置し、第 1 の面 5 2 の面積よりも小さい面積で形成された第 2 の面 5 1 とを有するバッファ層 4 1 a と、TMR 素子 2 4 a と交差するように一方向に延在し、第 2 の面 5 1 に接触する配線としての導電体膜 2 7 a およびバリアメタル膜 2 6 a からなる第 1 のビット線とを備える。

【0045】

バッファ層 4 1 a は、チタンおよびタンタルの少なくとも一方を含む。バッファ層 4 1 a は、シリコン基板 1 の主表面 1 a に平行な面上での断面積が、第 1 の面 5 2 から第 2 の面 5 1 に向かうに従って小さくなるように形成されている。

【0046】

TMR 素子 2 4 a は、シリコン基板 1 の主表面 1 a に平行な面上での断面が円形形状を有するように形成されている。

【0047】

図 1 中に示す薄膜磁性体記憶装置のメモリセルの動作について説明する。シリコン基板 1 上に形成された電界効果トランジスタによって MRAM の所定のメモリセルを選択する。そして、前述のワード線、ビット線およびディジット線に適宜電流を流すことによって、データの書き換えまたは読み出しを行なう。

【0048】

より詳細に説明すれば、所定のビット線およびディジット線に電流を流すことによって、そのビット線およびディジット線が交差する領域に設けられた TMR 素子に磁場を発生させる。これにより、TMR 素子の磁気トンネル接合を構成する強磁性体層の磁化方向を変更し、TMR 素子を通過する電流の抵抗値を変動させることができる（トンネル磁気抵抗効果）。このトンネル磁気抵抗効果を利用してデータの書き換えまたは読み出しを行なうことができる。

【0049】

図 5 から図 2 1 および図 2 3 から図 2 9 は、図 1 中に示す薄膜磁性体記憶装置の製造方法の工程を示し、図 5 から図 9、図 1 1 から図 1 5、図 1 7 から図 1 9、図 2 1、および図 2 3 から図 2 9 は断面図であり、図 1 0、図 1 6 および図 2 0 は平面図である。図 5 から図 2 1、図 2 3 から図 2 9、図 1 および図 3 を用いて、図 1 中に示す薄膜磁性体記憶装置の製造方法について説明する。なお、以下

においては、適当な断面図を参照して製造工程の説明を行なうが、参照されていない断面においても同一レイヤーでは同様の製造工程が行なわれているものとする。

#### 【 0 0 5 0 】

図 5 を参照して、シリコン基板 1 の主表面 1 a 上に図示しないゲート絶縁膜と所定形状にパターニングされたゲート電極 3 a および 3 b とを順次形成する。ゲート電極 3 a および 3 b をマスクとして、シリコン基板 1 の主表面 1 a に不純物を注入することによって、ソース／ドレイン領域 2 a から 2 d を形成する。

#### 【 0 0 5 1 】

シリコン基板 1 の主表面 1 a ならびにゲート電極 3 a および 3 b を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜 4 を形成する。層間絶縁膜 4 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、ソース／ドレイン領域 2 a から 2 d にそれぞれ達するコンタクトホール 5 a から 5 d を形成する。コンタクトホール 5 a から 5 d の内部および層間絶縁膜 4 の頂面上にバリアメタルおよび導電性材料を順次堆積する。

#### 【 0 0 5 2 】

その後、化学的機械研磨法（CMP ; Chemical Mechanical Polishing）によって、このバリアメタルおよび導電性材料を層間絶縁膜 4 の頂面が露出するまで除去するとともに、コンタクトホール 5 a から 5 d にバリアメタルおよび導電性材料を残存させる。これにより、コンタクトホール 5 a から 5 d の内部にバリアメタル膜 6 a から 6 d とコンタクトプラグ 7 a から 7 d とを形成する。

#### 【 0 0 5 3 】

図 6 を参照して、層間絶縁膜 4 上にシリコン酸化膜を堆積することによって層間絶縁膜 8 を形成する。層間絶縁膜 8 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、コンタクトホール 9 a、9 d、3 9 a および 3 9 d、ならびに配線用溝 2 3 a および 2 3 b を形成する。これらのコンタクトホールおよび配線用溝の内部、ならびに層間絶縁膜 8 の頂面上にバリアメタルおよび導電性材料を順次堆積する。

#### 【 0 0 5 4 】

その後、化学的機械研磨法によって、このバリアメタルおよび導電性材料を層間絶縁膜 8 の頂面が露出するまで除去するとともに、コンタクトホール 9 a、9 d、3 9 a および 3 9 d、ならびに配線用溝 2 3 a および 2 3 b にバリアメタルおよび導電性材料を残存させる。これにより、バリアメタル膜 1 1 a および 1 1 d と、コンタクトプラグ 1 2 a および 1 2 d と、バリアメタル膜 1 8 a および 1 8 b と、導電体膜 1 7 a および 1 7 b とを、それぞれの配線用溝およびコンタクトホールの内部に形成する。

#### 【0 0 5 5】

図 7 を参照して、層間絶縁膜 8 上にシリコン酸化膜を堆積することによって層間絶縁膜 1 9 を形成する。層間絶縁膜 1 9 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、コンタクトホール 2 1 a および 2 1 b を形成する。コンタクトホール 2 1 a および 2 1 b の内部を充填し層間絶縁膜 1 9 の頂面を覆うように導電性材料 2 0 を堆積する。図 8 は、図 7 に示す工程が終わった時点における薄膜磁性体記憶装置の断面図であり、図 2 中の I I I - I I I 線上に沿った断面に相当する断面図である。続いて、図 9 を参照して、導電性材料 2 0 上に、TMR 積層膜 2 4 と導電性材料 4 1 とを順次堆積する。

#### 【0 0 5 6】

図 1 1 は、図 1 0 中の X I - X I 線上に沿った断面図である。図 1 0 および図 1 1 を参照して、導電性材料 4 1 上に、導電体膜 1 7 a およびバリアメタル膜 1 8 a から構成される第 1 のディジット線と、導電体膜 1 7 b およびバリアメタル膜 1 8 b から構成される第 2 のディジット線とが延在する方向に垂直方向に延在する帯状のレジスト膜 5 4 を形成する。

#### 【0 0 5 7】

図 1 2 を参照して、レジスト膜 5 4 をマスクとして導電性材料 4 1 にエッチングを行なう。図 1 3 を参照して、レジスト膜 5 4 をマスクとして TMR 積層膜 2 4 にエッチングを行なう。図 1 4 を参照して、レジスト膜 5 4 をマスクとして導電性材料 2 0 にエッチングを行なうことによって、ストラップ 2 0 a および 2 0 b を形成する。

#### 【0 0 5 8】

このように図 1 3 および図 1 4 に示す工程において同一のレジスト膜 5 4 をマスクとして用いることによって、導電性材料 2 0 から帯状のストラップ 2 0 a および 2 0 b を形成するとともに、ストラップ 2 0 a および 2 0 b 上にストラップ 2 0 a および 2 0 b と同一形状を有する帯状の TMR 積層膜 2 4 をひとまず形成する。

【 0 0 5 9 】

図 1 5 を参照して、レジスト膜 5 4 を除去する。図 1 2 から図 1 4 に示す工程におけるエッチングによって形成された溝を充填し、導電性材料 4 1 の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜 2 5 を形成する。化学的機械研磨法により、層間絶縁膜 2 5 を導電性材料 4 1 の頂面が露出するまで除去する。

【 0 0 6 0 】

図 1 7 は、図 1 6 中の X V I I - X V I I 線上に沿った断面図である。図 1 6 および図 1 7 を参照して、層間絶縁膜 2 5 および導電性材料 4 1 の頂面上であって、第 1 および第 2 のディジット線と重なる領域に、第 1 および第 2 のディジット線が延在する方向に延びるレジスト膜 5 5 を形成する。レジスト膜 5 5 は、図 1 0 に示す工程で形成したレジスト膜 5 4 に垂直に交差している。また、レジスト膜 5 5 は、複数の導電性材料 4 1 にまたがって延在している。

【 0 0 6 1 】

図 1 8 を参照して、レジスト膜 5 5 をマスクとして導電性材料 4 1 にエッチングを行なうことによって、バッファ層 4 1 a および 4 1 b を形成する。図 1 9 を参照して、レジスト膜 5 5 をマスクとして TMR 積層膜 2 4 にエッチングを行なうことによって、TMR 素子 2 4 a および 2 4 b を形成する。この時点で、バッファ層 4 1 a および 4 1 b ならびに TMR 素子 2 4 a および 2 4 b は、ストラップ 2 0 a および 2 0 b の頂面の一部を覆う矩形形状に形成される。

【 0 0 6 2 】

このように図 1 9 に示す工程によって、帯状の TMR 積層膜 2 4 を TMR 素子 2 4 a および 2 4 b に形成する。この際、レジスト膜 5 4 を用いたエッチングにより TMR 素子は既にメモリセル毎に分離されているため、レジスト膜 5 5 を用

いたエッチングでは、ストラップが延在する方向におけるTMR素子の幅を決定するための加工を行なえば良い。このため、最終的な形状にTMR素子24aおよび24bを形成した後にあっても、同一のレジスト膜54を用いて形成された、TMR素子24aおよび24bの側壁と、ストラップ20aおよび20bの側壁とは、同一平面上において連なっている。

#### 【0063】

図21は、図20中のXXI-XXI線上に沿った断面図である。図20および図21を参照して、レジスト膜55を除去する。所定の薬剤を用いて、TMR素子およびバッファ層に等方性エッチングを行なう。矩形形状に形成されたTMR素子24aおよび24bならびにバッファ層41aおよび41bに等方性エッチングが行なわれると、バッファ層41aおよび41bの頂面側に位置する部分と、バッファ層41aおよび41bの頂面から側壁に連なるエッジ部分と、バッファ層41aおよび41bならびにTMR素子24aおよび24bの側壁のエッジ部分とにおいてエッチング速度が大きくなる。このため、全体に丸みを帯びるようにTMR素子24aおよび24bならびにバッファ層41aおよび41bの側壁が削られるとともに、バッファ層41aおよび41bがメサ型に削られる。これにより、TMR素子24aおよび24bならびにバッファ層41aおよび41bを楕円形状に形成し、さらにバッファ層41aおよび41bの側壁に傾斜面53を形成する。

#### 【0064】

バッファ層41aおよび41bは、シリコン基板1の主表面1aに平行な平面での断面積が、第1の面52から第2の面51に向かうに従って小さくなるように形成されているため、等方性エッチングにより容易かつ迅速にバッファ層41aおよび41bを所定の形状に形成することができる。

#### 【0065】

なお、本実施の形態では、第2の面51から第1の面52にかけてメサ型に形成されたバッファ層41aおよび41bについて説明したが、本発明はこれに限定されるものではない。等方性エッチングの条件によっては、メサ型に削れる部分が第1の面52に達しない場合や、メサ型に削れる部分が多少TMR素子24

a および 2 4 b の頂面側にかかる場合なども考えられる。

【 0 0 6 6 】

図 2 2 は、図 1 6 中のレジスト膜にかわる他のレジスト膜を示す平面図である。図 2 2 を参照して、図 2 0 および図 2 1 に示す工程において形成する TMR 素子 2 4 a および 2 4 b の楕円形状を強調したい場合には、図 1 6 中のレジスト膜 5 5 にかえて楕円形状に倣う形状を有するレジスト膜 5 6 を形成すれば良い。

【 0 0 6 7 】

図 2 3 は、図 2 0 中の X X I I I - X X I I I 線上に沿った断面に相当する断面図である。図 2 3 を参照して、図 1 8 および図 1 9 に示す工程で行ったエッチングによって形成された溝を充填し、バッファ層 4 1 a および 4 1 m の頂面を覆うようにシリコン酸化膜を堆積することによって再び層間絶縁膜 2 5 を形成する。化学的機械研磨法により、層間絶縁膜 2 5 をバッファ層 4 1 a および 4 1 m の頂面が露出するまで除去する。

【 0 0 6 8 】

図 2 4 を参照して、層間絶縁膜 2 5 上にシリコン酸化膜を堆積することによって層間絶縁膜 4 0 を形成する。図 2 5 を参照して、層間絶縁膜 4 0 上に所定の開口パターンを有するレジスト膜 5 7 を形成する。図 2 6 を参照して、レジスト膜 5 7 をマスクとして層間絶縁膜 4 0 にエッチングを行なうことによって、バッファ層 4 1 a および 4 1 m の第 2 の面 5 1 に達する配線用溝 3 6 a および 3 6 b を形成する。その後、レジスト膜 5 7 を除去する。

【 0 0 6 9 】

図 2 7 を参照して、配線用溝 3 6 a および 3 6 b の内部ならびに層間絶縁膜 4 0 の頂面上にバリアメタル 2 6 および導電性材料 2 7 を順次堆積する。図 2 8 は、図 1 に示す断面に相当する断面図である。図 3 および図 2 8 を参照して、化学的機械研磨法によって、バリアメタル 2 6 および導電性材料 2 7 を層間絶縁膜 4 0 の頂面が露出するまで除去するとともに、配線用溝 3 6 a および 3 6 b にバリアメタルおよび導電性材料を残存させる。これにより、配線用溝 3 6 a および 3 6 b の内部にバリアメタル膜 2 6 a および 2 6 b ならびに導電体膜 2 7 a および 2 7 b を形成する。

## 【 0 0 7 0 】

図 2 9 を参照して、層間絶縁膜 4 0 上にシリコン酸化膜を堆積することによって層間絶縁膜 2 8 を形成する。層間絶縁膜 2 8 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、配線用溝 2 9 a および 2 9 b を形成する。その後、配線用溝 2 9 a および 2 9 b の内部に配線を構成するバリアメタル膜 3 0 a および導電体膜 3 1 a とバリアメタル膜 3 0 b および導電体膜 3 1 b とをそれぞれ形成する。

## 【 0 0 7 1 】

図 1 を参照して、層間絶縁膜 2 8 上にシリコン酸化膜を堆積することによって層間絶縁膜 3 2 を形成する。層間絶縁膜 3 2 に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって配線用溝 3 5 を形成する。その後、配線用溝 3 5 の内部に配線を構成するバリアメタル膜 3 3 および導電体膜 3 4 を形成する。以上の工程により、図 1 中に示す薄膜磁性体記憶装置が完成する。

## 【 0 0 7 2 】

この発明の実施の形態 1 に従った薄膜磁性体記憶装置の製造方法は、シリコン基板 1 の主表面 1 a 上において導電体膜としての導電性材料 2 0 を堆積する工程と、導電性材料 2 0 上に磁性体膜を含む積層膜としての TMR 積層膜 2 4 を堆積する工程と、TMR 積層膜 2 4 上に第 1 のマスク膜としてのレジスト膜 5 4 を形成する工程と、レジスト膜 5 4 をマスクとして TMR 積層膜 2 4 の一部分および導電性材料 2 0 の一部分をエッチングするとともに他の部分を残存させることによって、所定の間隔を隔てて帯状に延在し、かつ導電性材料 2 0 を含む第 1 および第 2 の配線としてのストラップ 2 0 a および 2 0 m を形成するとともに、ストラップ 2 0 a および 2 0 m 上にストラップ 2 0 a および 2 0 m と同一形状の帯状の TMR 積層膜 2 4 を形成する工程と、帯状の TMR 積層膜 2 4 上に、ストラップ 2 0 a および 2 0 m に交差するように延在する第 2 のマスク膜としてのレジスト膜 5 5 を形成する工程と、レジスト膜 5 5 をマスクとして帯状の TMR 積層膜 2 4 の一部分をエッチングするとともに他の部分を残存させることによって、メモリセルとして動作する磁性体メモリセルとしての TMR 素子 2 4 a および 2 4 m を形成する工程とを備える。

## 【 0 0 7 3 】

薄膜磁性体記憶装置の製造方法は、TMR素子24 aおよび24 mを形成する工程の後に、TMR素子24 aおよび24 mに等方性エッチングを行なうことによって、シリコン基板1の主表面1 aに平行な面上におけるTMR素子24 aおよび24 mの断面を円形状とする工程をさらに備える。

## 【 0 0 7 4 】

このように構成された薄膜磁性体記憶装置およびその製造方法によれば、ビット線とTMR素子との間に介在するバッファ層がメサ型に形成されている。このため、図25に示すレジスト膜57を形成するための露光時に誤差が生じた結果、図26に示す配線用溝36 aおよび36 bがバッファ層41 aおよび41 mから多少ずれて形成された場合であっても、バッファ層41 aおよび41 mが有する第2の面51の全体を配線用溝36 aおよび36 bに形成されるビット線に接触させることができる。これにより、バッファ層とビット線との接触面積を常に一定に保つことができることから、バッファ層とビット線との界面抵抗の値を安定させてリード電流に対するマージンを向上させることができる。また、メサ型に形成する部分はバッファ層であるため、メモリセルの特性に悪影響を与えることも防止できる。以上の理由から、信頼性の高い薄膜磁性体記憶装置を実現することができる。

## 【 0 0 7 5 】

また、バッファ層がメサ型に形成される工程と同時にTMR素子は楕円形状に形成されている。これにより、TMR素子に含まれるフリー層においてエンドドメインの存在を小さくすることができる。エンドドメインが存在する場合、エンドドメインは、TMR素子中において磁区を揃える方向と異なる方向の磁区を生じさせ、メモリセルのデータを書き換えにくくする要因となっている。このエンドドメインは、鋭角なエッジ部に多く見られるため、TMR素子を楕円形状に形成することによってエンドドメインの発生を抑制することができる。そして、エンドドメインの発生を抑制することによって、TMR素子のスイッチング磁場を小さくすることができ、メモリセルにおいて安定した書き換え特性を得ることができる。



## 【 0 0 7 6 】

また、同一のレジスト膜 5 4 を使用して TMR 積層膜をストラップと同一形状にひとまず形成し、その後、別のレジスト膜 5 5 を使用して TMR 積層膜を TMR 素子の最終的な形状に形成している。このため、TMR 素子をストラップの幅一杯に確実に形成することができ、マスクずれによる TMR 素子の位置決め誤差を考慮する必要がない。これにより、ストラップの幅を小さく設定することができ、メモリセルの微細化を実現することができる。

## 【 0 0 7 7 】

また、レジスト膜 5 4 を用いたエッチングにより TMR 素子は既にメモリセル毎に分離されているため、レジスト膜 5 5 を複数のメモリセルにまたがって延在する帯状に形成することができる。これにより、TMR 素子の形状を精度良く形成することができる。

## 【 0 0 7 8 】

つまり、TMR 素子の形状を一度に形成しようとする場合、個々の TMR 素子の形状に即した微細なレジストパターンを形成しなければならない。一般的に、フォトリソグラフィ工程においてレジストパターンにばらつきが生じる。レジスト形状のエッジ部でのばらつき、場所依存性、および周りのレジストパターンの疎密によるハレーションなどの影響を考えると、レジストパターンが微細になるほどこれらの影響は大きくなる。このため、微細なレジストパターンを用いて TMR 素子の形状を一度に形成しようとする、隣接する TMR 素子間で短絡が発生したりする。

## 【 0 0 7 9 】

本実施の形態では、ストラップの形状に即したレジスト膜 5 4 が大型であることに加えて、レジスト膜 5 5 は複数のメモリセルにまたがって延在する帯状の形状を有しているため、TMR 素子の微細加工を精度良く行なうことができる。これにより、エンドドメインの発生を抑制してメモリセルの書き換え特性を向上させたり、TMR 素子における抵抗値を一定にすることができる。

## 【 0 0 8 0 】

(実施の形態 2)

図 3 0 は、この発明の実施の形態 2 における薄膜磁性体記憶装置を示す平面図である。図 3 0 では特に、ビット線、ディジット線、TMR 素子、バッファ層およびストラップを示している。

#### 【0081】

図 3 0 を参照して、実施の形態 2 における薄膜磁性体記憶装置は、図 1 中の実施の形態 1 における薄膜磁性体記憶装置と比較して、TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n、ならびにバッファ層 4 1 a、4 1 b、4 1 m および 4 1 n の形状が異なる。TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n は楕円形状に形成されている。その楕円形状の長軸は、ディジット線が延在する方向に対して傾いており、その楕円形状の短軸は、ビット線が延在する方向に対して傾いている。TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n 上には、これら TMR 素子と同一の楕円形状を有するバッファ層 4 1 a、4 1 b、4 1 m および 4 1 n が形成されている。

#### 【0082】

図 3 1 は、図 3 0 中に示す薄膜磁性体記憶装置の製造方法の工程を示す平面図である。実施の形態 2 における薄膜磁性体記憶装置の製造方法は、実施の形態 1 における薄膜磁性体記憶装置の製造方法と比較して、図 1 6 に示す工程にかえて図 3 1 に示す工程を行なう。

#### 【0083】

図 3 1 を参照して、層間絶縁膜 2 5 および導電性材料 4 1 の頂面上であって、第 1 および第 2 のディジット線と重なる領域にレジスト膜 6 1 を形成する。レジスト膜 6 1 は、帯状に形成された導電性材料 4 1 と重なる領域において平行四辺形の断面形状を有する。つまり、レジスト膜 6 1 が延在する方向は、導電性材料 4 1 の下で同一形状に形成されたストラップ 2 0 a、2 0 b、2 0 m および 2 0 n が延在する方向に対して傾いている。また、レジスト膜 6 1 は、複数の導電性材料 4 1 にまたがって延在している。

#### 【0084】

このように平行四辺形の形状を有するレジスト膜 6 1 を使用した場合、平行四辺形の角度の小さい方の角部では角度の大きい方の角部より、TMR 積層膜 2 4

の等方性エッチングによる後退幅が大きくなる。このため、ビット線およびディジット線が延在する方向に対して少し傾いた楕円形状を有する TMR 素子 2 4 a、2 4 b、2 4 m および 2 4 n を形成することができる。

【 0 0 8 5 】

この発明の実施の形態 2 に従った薄膜磁性体記憶装置の製造方法では、第 2 のマスク膜としてのレジスト膜 6 1 が第 1 および第 2 の配線としてのストラップ 2 0 a および 2 0 m に交差する方向は傾いている。

【 0 0 8 6 】

このように構成された薄膜磁性体記憶装置の製造方法によれば、実施の形態 1 に記載の効果と同様の効果を奏することができる。加えて、所定の形状を有するレジスト膜 6 1 を用いることによって TMR 素子の断面積を実施の形態 1 よりも大きくすることができる。これにより、TMR 素子に含まれる磁性体の体積は増大するため、TMR 素子を熱擾乱に対して安定させることができる。

【 0 0 8 7 】

なお、熱擾乱とは、周囲から受ける熱エネルギーによって磁極が勝手に向きを変える現象をいう。この熱エネルギーによる影響は TMR 素子が有する磁性体の体積に依存し、体積が大きいほど熱エネルギーの影響を受けにくくなる。また、熱エネルギーの影響と磁性体の体積との関係は指数関数的であるため、TMR 素子の断面積をわずかに増大させるだけで、熱擾乱による影響を大きく抑制することができる。

【 0 0 8 8 】

(実施の形態 3)

図 3 2 は、この発明の実施の形態 3 における薄膜磁性体記憶装置を示す断面図である。図 3 2 には、MRAM のクロスポイント型のメモリセルが 4 つ形成されている。以下においては、実施の形態 1 における薄膜磁性体記憶装置と重複する構造については、省略するか、または簡単に説明する。

【 0 0 8 9 】

図 3 2 を参照して、層間絶縁膜 8 を挟んで下層には、電界効果トランジスタが形成されたデコーダ部が構成されており、上層には MRAM のメモリセル領域が

構成されている。クロスポイント型のメモリセルの場合トランジスタを必要としないため、デコーダ部とメモリセル領域とを同じ部位に形成することができる。これにより、チップサイズを小さくすることができ、また装置の生産効率を向上させることができる。

#### 【0090】

層間絶縁膜 8 上には、所定の間隔を隔てて図 3 2 の紙面に対して垂直方向に延在する導電体膜 7 2 a から 7 2 d が形成されている。導電体膜 7 2 a から 7 2 d は、銅、アルミニウム、タングステンまたはチタンなどの導電性材料から形成されている。導電体膜 7 2 a から 7 2 d は、MRAM のメモリセルにおける第 1 から第 4 のディジット線を構成している。

#### 【0091】

導電体膜 7 2 a から 7 2 d 上には、バッファ層 7 3 a から 7 3 d がそれぞれ形成されている。バッファ層 7 3 a から 7 3 d はセル選択用のダイオードであり、n 型シリコン層と p 型シリコン層との積層膜によって構成されている。また、クロスポイント型のメモリセルがダイオードを含まない構成である場合、バッファ層 7 3 a から 7 3 d が、タンタル (Ta) またはチタン (Ti) などの導電性材料で形成されていても良い。

#### 【0092】

バッファ層 7 3 a から 7 3 d 上には、TMR 素子 7 4 a から 7 4 d がそれぞれ形成されている。TMR 素子 7 4 a から 7 4 d は、CoFe および NiFe などの磁性体膜を含む積層膜によって形成されている。TMR 素子 7 4 a から 7 4 d 上には、チタンまたはタンタルなどの導電性材料からなるバッファ層 7 5 a および 7 5 b がそれぞれ形成されている。なお図 3 2 では、バッファ層 7 5 a および 7 5 b は詳細な形状が省略されて描かれている。

#### 【0093】

層間絶縁膜 8 上には、シリコン酸化膜からなる層間絶縁膜 7 1 が形成されている。層間絶縁膜 7 1 は、層間絶縁膜 8 上に所定の間隔を隔てて形成された上述の積層物の間を充填している。層間絶縁膜 7 1 の頂面とバッファ層 7 5 a から 7 5 d の頂面とは同一平面上に形成されている。

## 【 0 0 9 4 】

層間絶縁膜 7 1 上の図示しない層間絶縁膜 4 0 には、導電体膜 2 7 a およびバリアメタル膜 2 6 a から構成される第 1 のビット線が形成されている。バリアメタル膜 2 6 a は、バッファ層 7 5 a から 7 5 d の頂面に接触している。導電体膜 7 2 a から 7 2 d によって構成される第 1 から第 4 のディジット線と、導電体膜 2 7 a およびバリアメタル膜 2 6 a によって構成される第 1 のビット線とが、TMR 素子 7 4 a から 7 4 d を挟んで直角に交差している。第 1 から第 4 のディジット線と第 1 のビット線とが交差する位置に TMR 素子 7 4 a から 7 4 d が形成されている。

## 【 0 0 9 5 】

図 3 3 は、図 3 2 中の薄膜磁性体記憶装置を示す平面図である。図 3 3 では特に、ビット線、ディジット線、TMR 素子およびバッファ層を示している。図 3 2 は、図 3 3 中の XXX I I - XXX I I 線上に沿った断面図である。

## 【 0 0 9 6 】

図 3 3 を参照して、導電体膜 2 7 a およびバリアメタル膜 2 6 a から構成される第 1 のビット線と、導電体膜 2 7 b およびバリアメタル膜 2 6 b から構成される第 2 のビット線とが所定の間隔を隔てて延在している。導電体膜 7 2 a から 7 2 d によって構成される第 1 から第 4 のディジット線が第 1 および第 2 のビット線が延在する方向に垂直方向に所定の間隔を隔てて延在している。

## 【 0 0 9 7 】

TMR 素子 7 4 a、7 4 b、7 4 c、7 4 d、7 4 m、7 4 n、7 4 p および 7 4 q が、第 1 および第 2 のビット線と第 1 から第 4 のディジット線とが交差する位置にマトリックス状に配置されている。また、これら TMR 素子の上下に位置するバッファ層が同様に配置されている。TMR 素子 7 4 a、7 4 b、7 4 c、7 4 d、7 4 m、7 4 n、7 4 p および 7 4 q は、ディジット線が延在する方向に延びる長軸と、ビット線が延在する方向に延びる短軸とを有する楕円形状に形成されている。その楕円形状の短軸の長さは、ビット線が延在する方向におけるディジット線の長さ（以後、ディジット線の幅とも呼ぶ）と同一となっている。つまり、TMR 素子 7 4 a、7 4 b、7 4 c、7 4 d、7 4 m、7 4 n、7 4

p および 7 4 q は、それぞれ第 1 から第 4 のディジット線の幅一杯に形成されている。

#### 【 0 0 9 8 】

図 3 4 は、図 3 3 中の XXX I V - XXX I V 線上に沿った断面図である。図 3 4 を参照して、配線用溝 3 6 a および 3 6 が形成された層間絶縁膜 4 0 が層間絶縁膜 7 1 上に形成されている。図 3 および図 4 中に示すバッファ層 4 1 a および 4 1 m と同様に、バッファ層 7 5 a および 7 5 m は、TMR 素子 7 4 a または 7 4 m に接触する第 1 の面 5 2 と、第 1 の面 5 2 と反対側に位置して、第 1 のビット線を構成するバリアメタル膜 2 6 a または第 2 のビット線を構成するバリアメタル膜 2 6 b に接触する第 2 の面 5 1 と、第 1 の面 5 2 から第 2 の面 5 1 まで連なる傾斜面 5 3 とを有する。第 2 の面 5 1 の面積は、第 1 の面 5 2 の面積よりも小さい。

#### 【 0 0 9 9 】

図 3 5 から図 5 2 は、図 3 2 中に示す薄膜磁性体記憶装置の製造方法の工程を示し、図 3 5、図 3 7 から図 4 1、図 4 3 から図 4 5、および図 4 7 から図 5 2 は断面図であり、図 3 6、図 4 2 および図 4 6 は平面図である。図 3 5 から図 5 2 を用いて、図 3 2 中に示す薄膜磁性体記憶装置の製造方法について説明する。なお、以下においては、適当な断面図を参照して製造工程の説明を行なうが、参照されていない断面においても同一レイヤーでは同様の製造工程が行なわれているものとする。また、実施の形態 1 における薄膜磁性体記憶装置の製造方法と重複する工程については説明を一部省略する。

#### 【 0 1 0 0 】

図 3 5 を参照して、実施の形態 1 における図 5 に示す工程の後、層間絶縁膜 4 上にシリコン酸化膜を堆積することによって層間絶縁膜 8 を形成する。続いて、層間絶縁膜 8 上に、導電性材料 7 2、シリコン膜 7 3、TMR 積層膜 7 4 および導電性材料 7 5 を順次堆積する。

#### 【 0 1 0 1 】

図 3 7 は、図 3 6 中の XXX V I I - XXX V I I 線上に沿った断面図である。図 3 6 および図 3 7 を参照して、導電性材料 7 5 上に、所定の間隔を隔てて一

方向に延在する帯状のレジスト膜 8 1 を形成する。

#### 【 0 1 0 2 】

図 3 8 を参照して、レジスト膜 8 1 をマスクとして導電性材料 7 5 にエッチングを行なう。図 3 9 を参照して、レジスト膜 8 1 をマスクとして TMR 積層膜 7 4 にエッチングを行なう。図 4 0 を参照して、レジスト膜 8 1 をマスクとしてシリコン膜 7 3 にエッチングを行なう。レジスト膜 8 1 をマスクとして導電性材料 7 2 にエッチングを行なうことによって、第 1 および第 2 のディジット線を構成する導電体膜 7 2 a および 7 2 b を形成する。

#### 【 0 1 0 3 】

このように図 3 9 および図 4 0 に示す工程において同一のレジスト膜 8 1 をマスクとして用いることによって、導電性材料 7 2 から帯状の第 1 および第 2 のディジット線を形成するとともに、第 1 および第 2 のディジット線上に第 1 および第 2 のディジット線と同一形状を有する帯状の TMR 積層膜 7 4 およびシリコン膜 7 3 をひとまず形成する。

#### 【 0 1 0 4 】

図 4 1 を参照して、レジスト膜 8 1 を除去する。図 3 8 から図 4 0 に示す工程におけるエッチングにより形成された溝を充填し、導電性材料 7 5 の頂面を覆うようにシリコン酸化膜を堆積することによって層間絶縁膜 7 1 を形成する。化学的機械研磨法により、層間絶縁膜 7 1 を導電性材料 7 5 の頂面が露出するまで除去する。

#### 【 0 1 0 5 】

図 4 3 は、図 4 2 中の X L I I I - X L I I I 線上に沿った断面図である。図 4 2 および図 4 3 を参照して、層間絶縁膜 7 1 および導電性材料 7 5 の頂面上に、導電性材料 7 5 が延在する方向に垂直方向に延在するレジスト膜 8 2 を形成する。レジスト膜 8 2 は、図 3 6 に示す工程で形成したレジスト膜 8 1 に垂直に交差している。また、レジスト膜 8 2 は、複数の導電性材料 7 5 にまがたがって延在している。

#### 【 0 1 0 6 】

図 4 4 を参照して、レジスト膜 8 2 をマスクとして導電性材料 7 5 にエッチン

グを行なうことによって、バッファ層 7 5 a および 7 5 m を形成する。図 4 5 を参照して、レジスト膜 8 2 をマスクとして TMR 積層膜 7 4 にエッチングを行なうことによって、TMR 素子 7 4 a および 7 4 m を形成する。続いて、レジスト膜 8 2 をマスクとしてシリコン膜 7 3 にエッチングを行なうことによって、バッファ層 7 3 a および 7 3 m を形成する。この時点で、バッファ層 7 5 a および 7 5 m、TMR 素子 7 4 a および 7 4 m、ならびにバッファ層 7 3 a および 7 3 m は、第 1 のディジット線を構成する導電体膜 7 2 a の頂面の一部を覆う矩形形状に形成される。

#### 【0107】

このように図 4 5 に示す工程によって、帯状の TMR 積層膜 7 4 およびシリコン膜 7 3 を、それぞれ TMR 素子 7 4 a および 7 4 m ならびにバッファ層 7 3 a および 7 3 m に形成する。この際、レジスト膜 8 1 を用いたエッチングにより第 1 のディジット線が延在する方向に垂直方向における TMR 素子およびバッファ層の幅は既に決定されているため、レジスト膜 8 2 を用いたエッチングでは、第 1 のディジット線が延在する方向における TMR 素子およびバッファ層の幅を決定するための加工を行なえば良い。このため、最終的な形状に TMR 素子 7 4 a および 7 4 m ならびにバッファ層 7 3 a および 7 3 m を形成した後であっても、同一のレジスト膜 8 1 を用いて形成された、TMR 素子 7 4 a および 7 4 m ならびにバッファ層 7 3 a および 7 3 m の側壁と、第 1 のディジット線を構成する導電体膜 7 2 a の側壁とは、同一平面上において連なっている。

#### 【0108】

図 4 7 は、図 4 6 中の XLVII-XLVII 線上に沿った断面図である。図 4 6 および図 4 7 を参照して、レジスト膜 8 2 を除去する。所定の薬剤を用いて、TMR 素子および各々のバッファ層に等方性エッチングを行なう。これにより、バッファ層 7 3 a および 7 3 m、TMR 素子 7 4 a および 7 4 m、ならびにバッファ層 7 5 a および 7 5 m を楕円形状に形成し、さらにバッファ層 7 5 a および 7 5 m に傾斜面 5 3 を形成する。

#### 【0109】

図 4 8 を参照して、図 4 4 および図 4 5 に示す工程で行ったエッチングによっ



て形成された溝を充填し、バッファ層 7 5 a および 7 5 m の頂面を覆うようにシリコン酸化膜を堆積することによって再び層間絶縁膜 7 1 を形成する。化学的機械研磨法により、層間絶縁膜 7 1 をバッファ層 7 5 a および 7 5 m の頂面が露出するまで除去する。

#### 【0 1 1 0】

図 4 9 を参照して、層間絶縁膜 7 1 上にシリコン酸化膜を堆積することによって層間絶縁膜 4 0 を形成する。図 5 0 を参照して、層間絶縁膜 4 0 上に所定の開口パターンを有するレジスト膜 8 3 を形成する。図 5 1 を参照して、レジスト膜 8 3 をマスクとして層間絶縁膜 4 0 にエッチングを行なうことによって、バッファ層 7 5 a および 7 5 m の第 2 の面 5 1 に達する配線用溝 3 6 a および 3 6 b を形成する。その後、レジスト膜 8 3 を除去する。

#### 【0 1 1 1】

図 5 2 を参照して、配線用溝 3 6 a および 3 6 b の内部ならびに層間絶縁膜 4 0 の頂面上にバリアメタル 2 6 および導電性材料 2 7 を順次堆積する。このあと、実施の形態 1 における図 2 8、図 2 9 および図 1 に示す工程が続く。以上の工程により、図 3 2 中に示す薄膜磁性体記憶装置が完成する。

#### 【0 1 1 2】

このように構成された薄膜磁性体記憶装置およびその製造方法によれば、同一のレジスト膜 8 1 を使用して TMR 積層膜をディジット線と同一形状に形成し、その後、別のレジスト膜 8 2 を使用して TMR 積層膜を TMR 素子の最終的な形状に形成している。このため、TMR 素子をディジット線の幅一杯に確実に形成することができ、マスクずれによる TMR 素子の位置決め誤差を考慮する必要がない。これにより、ディジット線の幅を小さく設定することができ、メモリセルの微細化を実現することができる。また、このほかの実施の形態 1 に記載の効果と同様の効果を奏することができる。

#### 【0 1 1 3】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更

が含まれることが意図される。

【0 1 1 4】

【発明の効果】

以上説明したように、この発明に従えば、メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における薄膜磁性体記憶装置を示す断面図である。

【図 2】 図 1 中の薄膜磁性体記憶装置を示す平面図である。

【図 3】 図 2 中の I I I - I I I 線上に沿った断面図である。

【図 4】 図 1 中の薄膜磁性体記憶装置において TMR 素子が形成されている部分を示す斜視図である。

【図 5】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 工程を示す断面図である。

【図 6】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 工程を示す断面図である。

【図 7】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 3 工程を示す断面図である。

【図 8】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 3 工程を示す別の断面図である。

【図 9】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 4 工程を示す断面図である。

【図 1 0】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 5 工程を示す平面図である。

【図 1 1】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 5 工程を示す断面図である。

【図 1 2】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 6 工程を示す断面図である。

【図 1 3】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 7 工程を示す断面図である。

【図 1 4】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 8 工程を示す断面図である。

【図 1 5】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 9 工程を示す断面図である。

【図 1 6】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 0 工程を示す平面図である。

【図 1 7】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 0 工程を示す断面図である。

【図 1 8】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 1 工程を示す断面図である。

【図 1 9】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 2 工程を示す断面図である。

【図 2 0】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 3 工程を示す平面図である。

【図 2 1】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 3 工程を示す断面図である。

【図 2 2】 図 1 6 中のレジスト膜にかわる他のレジスト膜を示す平面図である。

【図 2 3】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 4 工程を示す断面図である。

【図 2 4】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 5 工程を示す断面図である。

【図 2 5】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 6 工程を示す断面図である。

【図 2 6】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 7 工程を示す断面図である。

【図 2 7】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 8 工程を示す断面図である。

す断面図である。

【図 2 8】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 1 9 工程を示す断面図である。

【図 2 9】 図 1 中に示す薄膜磁性体記憶装置の製造方法の第 2 0 工程を示す断面図である。

【図 3 0】 この発明の実施の形態 2 における薄膜磁性体記憶装置を示す平面図である。

【図 3 1】 図 3 0 中に示す薄膜磁性体記憶装置の製造方法の工程を示す平面図である。

【図 3 2】 この発明の実施の形態 3 における薄膜磁性体記憶装置を示す断面図である。

【図 3 3】 図 3 2 中の薄膜磁性体記憶装置を示す平面図である。

【図 3 4】 図 3 3 中の X X X I V - X X X I V 線上に沿った断面図である。

【図 3 5】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 工程を示す断面図である。

【図 3 6】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 2 工程を示す平面図である。

【図 3 7】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 2 工程を示す断面図である。

【図 3 8】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 3 工程を示す断面図である。

【図 3 9】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 4 工程を示す断面図である。

【図 4 0】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 5 工程を示す断面図である。

【図 4 1】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 6 工程を示す断面図である。

【図 4 2】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 7 工程を示

す平面図である。

【図 4 3】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 7 工程を示す断面図である。

【図 4 4】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 8 工程を示す断面図である。

【図 4 5】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 9 工程を示す断面図である。

【図 4 6】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 0 工程を示す平面図である。

【図 4 7】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 0 工程を示す断面図である。

【図 4 8】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 1 工程を示す断面図である。

【図 4 9】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 2 工程を示す断面図である。

【図 5 0】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 3 工程を示す断面図である。

【図 5 1】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 4 工程を示す断面図である。

【図 5 2】 図 3 2 中に示す薄膜磁性体記憶装置の製造方法の第 1 5 工程を示す断面図である。

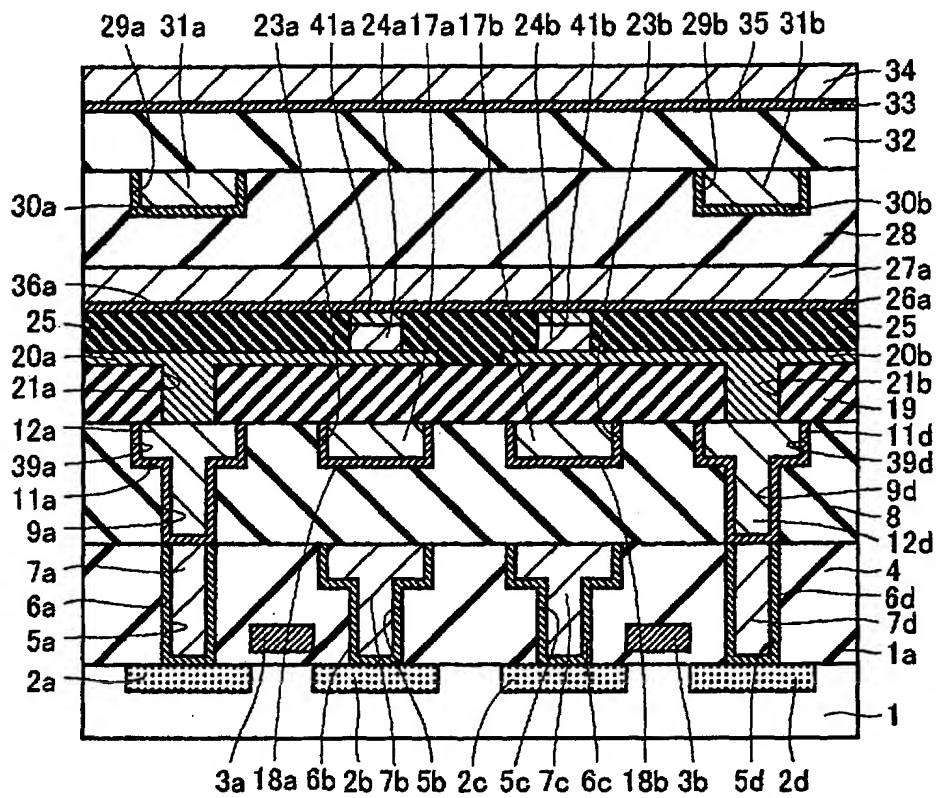
#### 【符号の説明】

1 シリコン基板、1 a 主表面、2 0, 7 2 導電性材料、2 0 a, 2 0 b, 2 0 m, 2 0 n ストラップ、2 4, 7 4 TMR 積層膜、2 4 a, 2 4 b, 2 4 m, 2 4 n, 7 4 a, 7 4 b, 7 4 c, 7 4 d, 7 4 m, 7 4 n, 7 4 p, 7 4 q TMR 素子、2 6 a, 2 6 b バリアメタル膜、2 7 a, 2 7 b, 7 2 a, 7 2 b, 7 2 c, 7 2 d 導電体膜、4 1 a, 4 1 b, 4 1 m, 4 1 n, 7 5 a, 7 5 b, 7 5 c, 7 5 d, 7 5 m, 7 5 n, 7 5 p, 7 5 q バッファ層、5 2 第 1 の面、5 1 第 2 の面、5 3 傾斜面、5 4, 5 5, 5 6, 6 1,

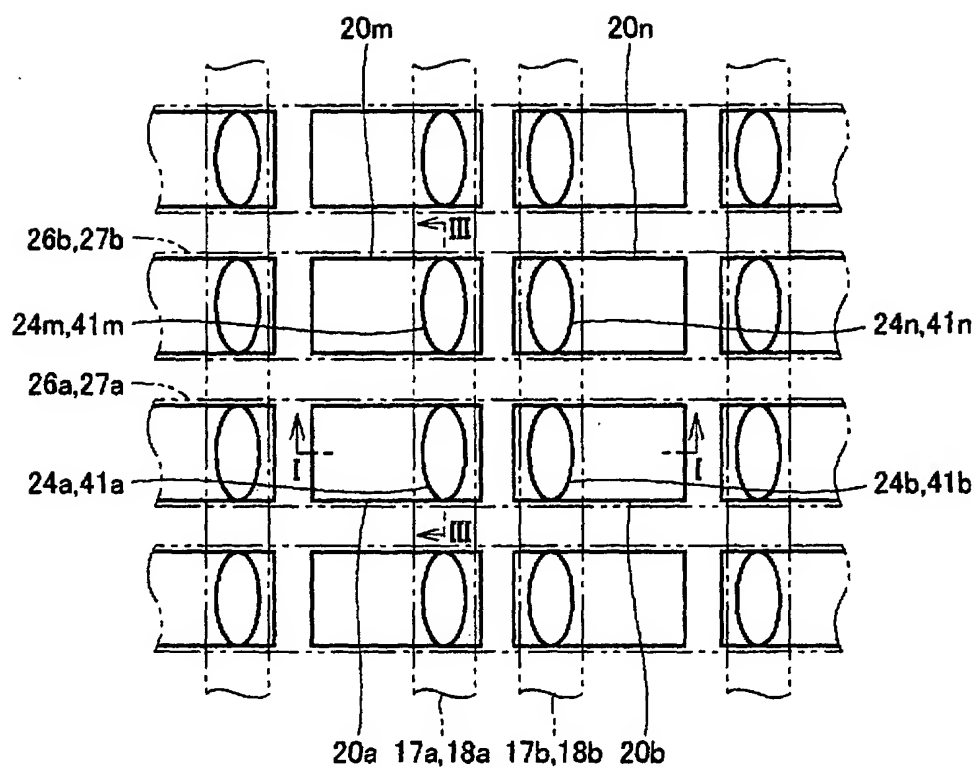
8 1 , 8 2 レジスト膜。

【書類名】 図面

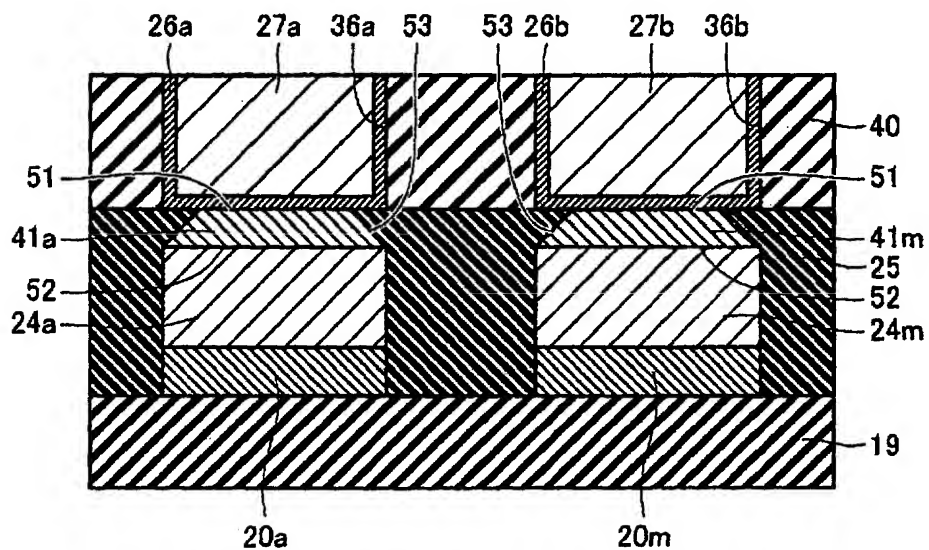
【図 1】



【図 2】

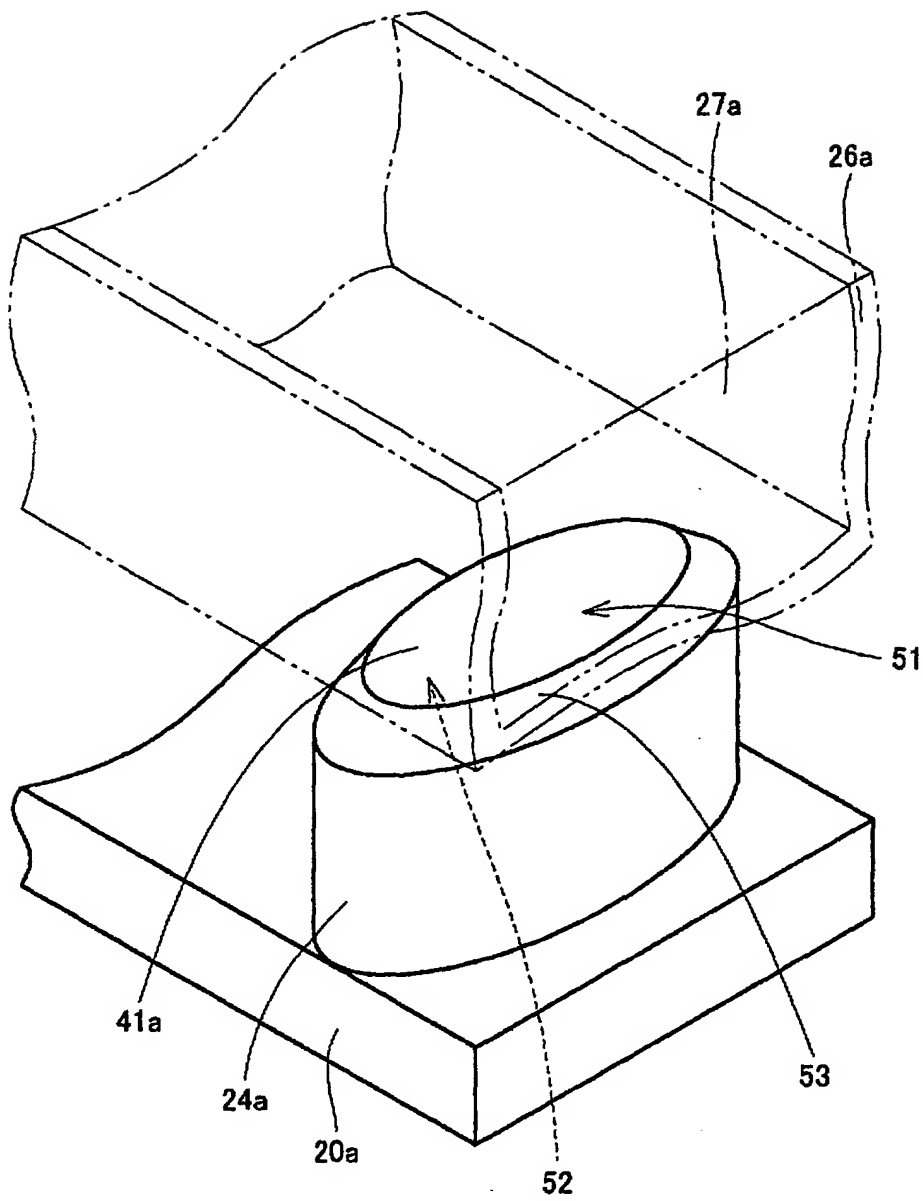


【図 3】

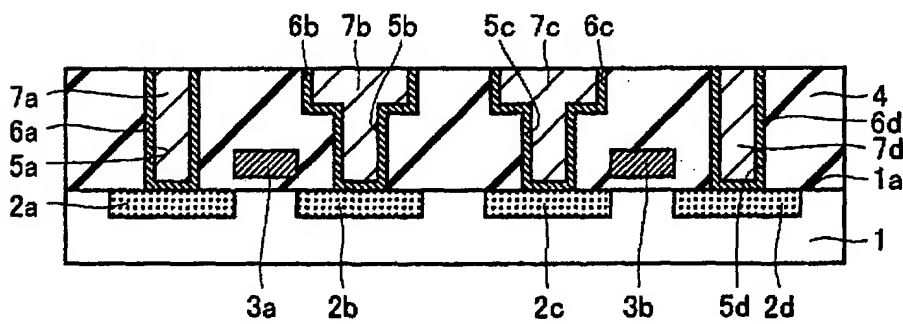




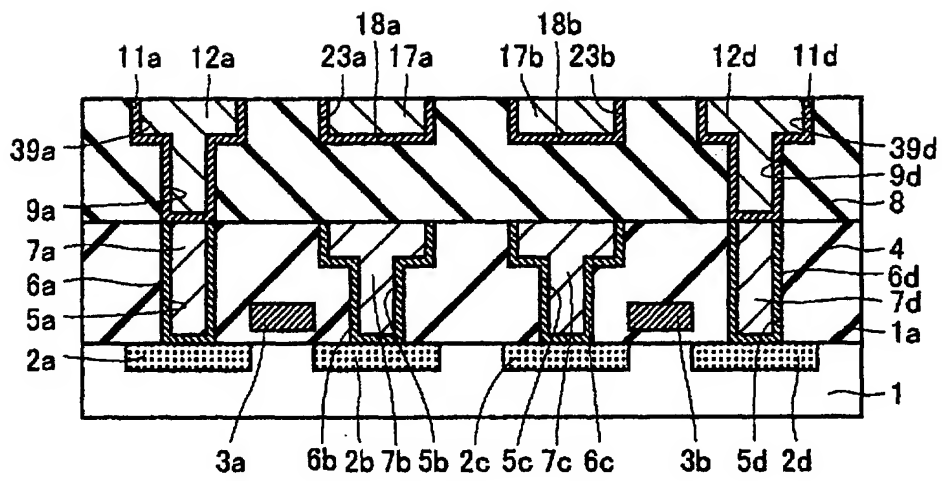
【図4】



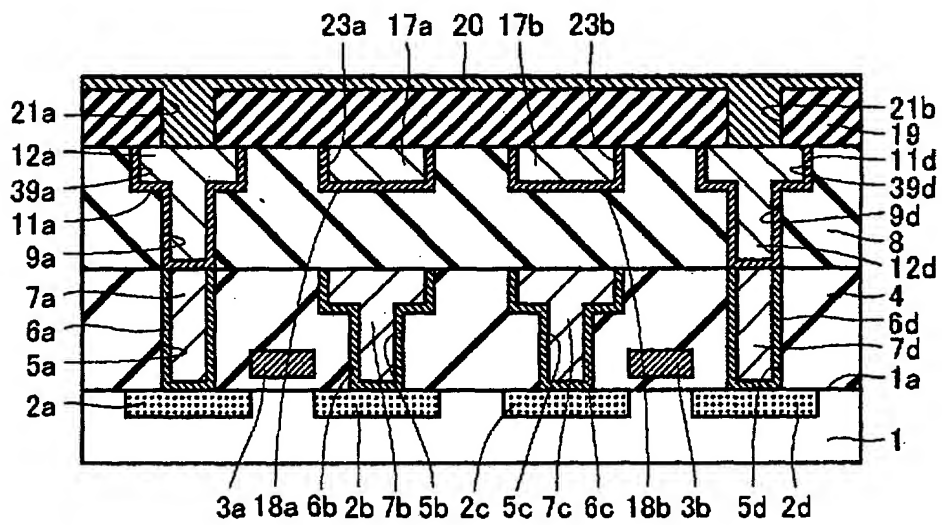
【図5】



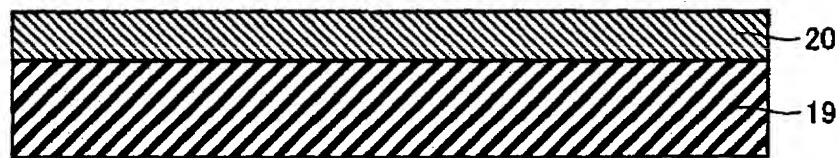
【図 6】



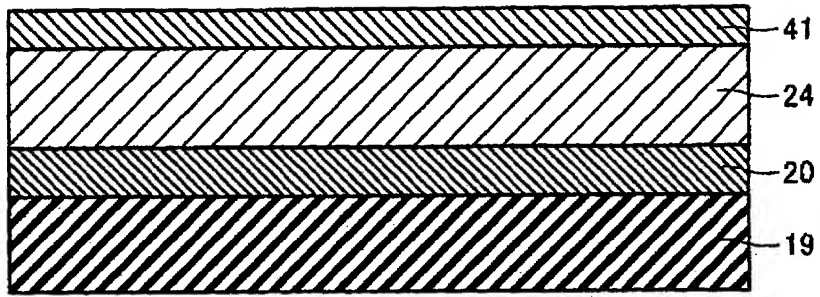
【図 7】



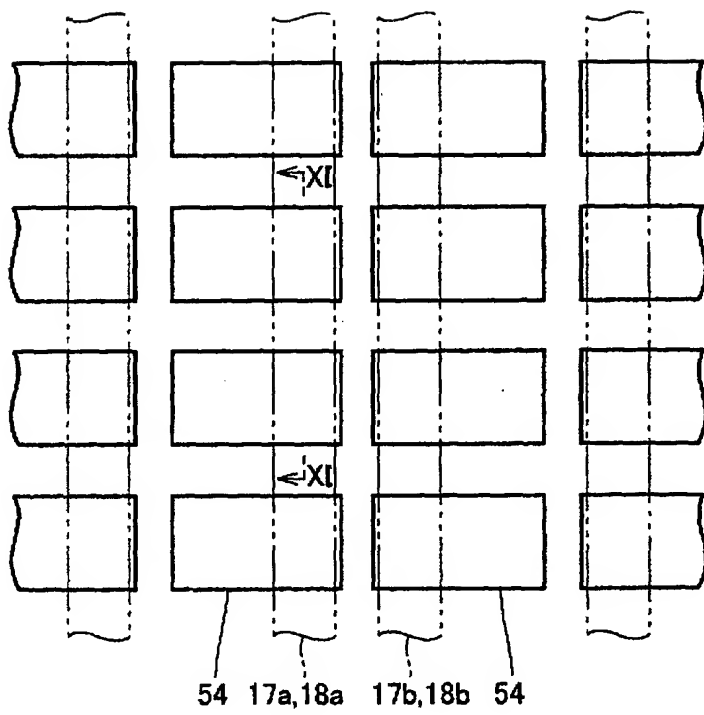
【図 8】



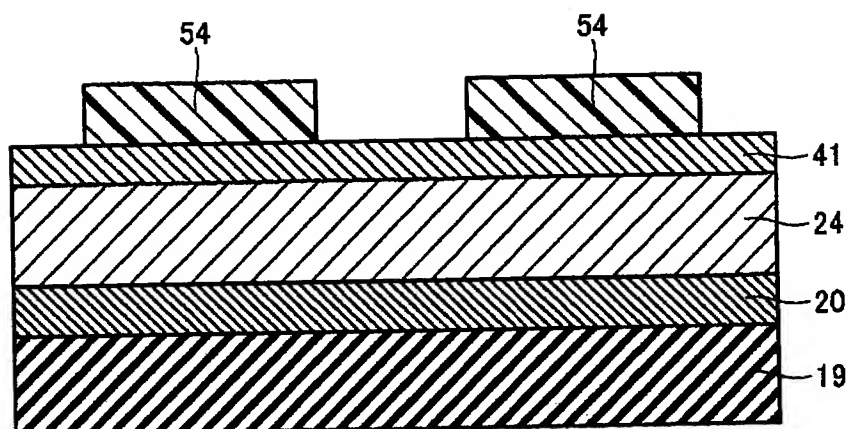
【図9】



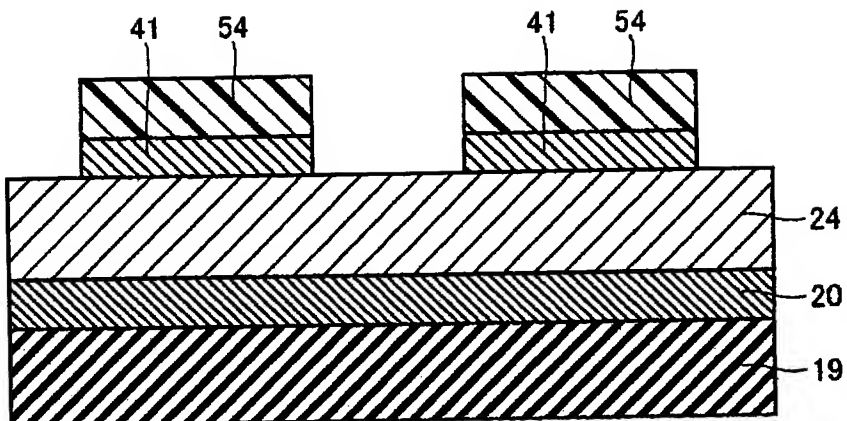
【图 10】



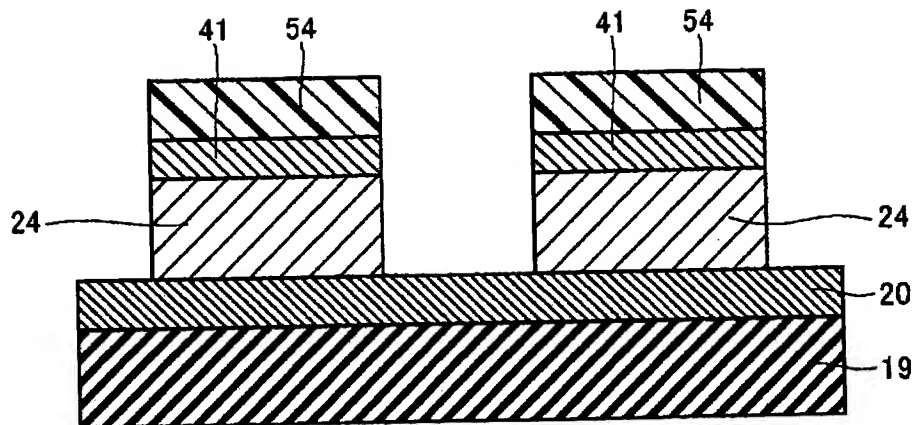
【図 1 1】



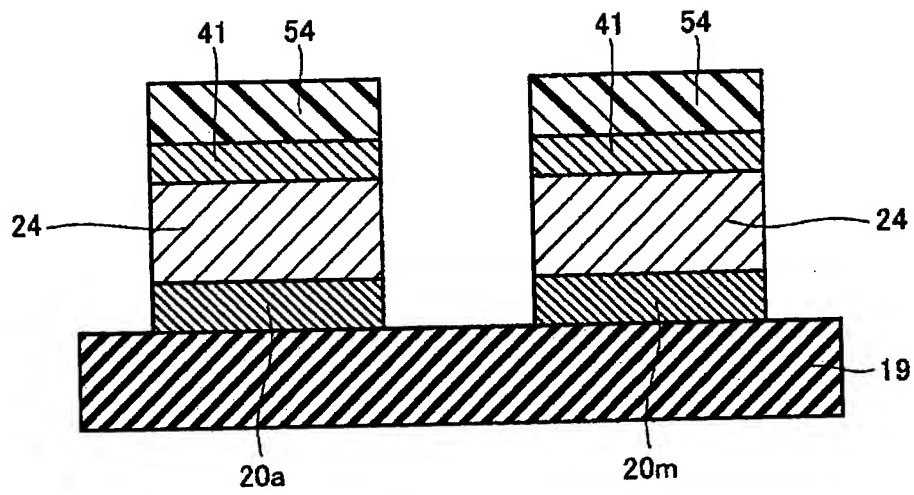
【図 1 2】



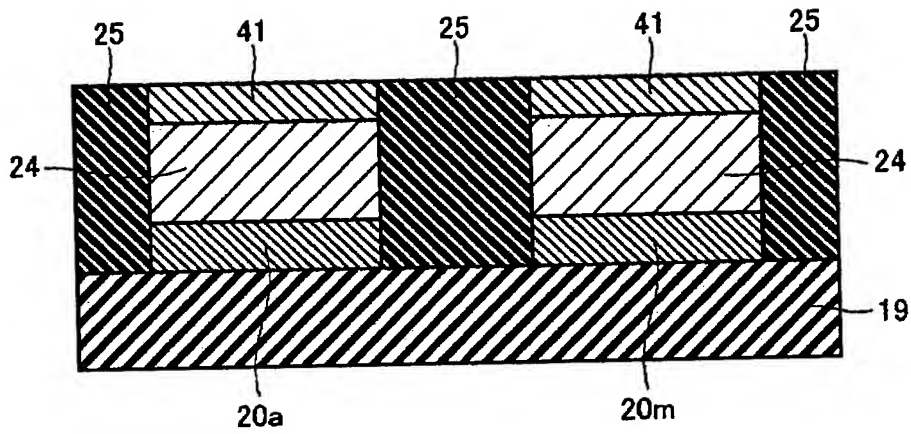
【図 1 3】



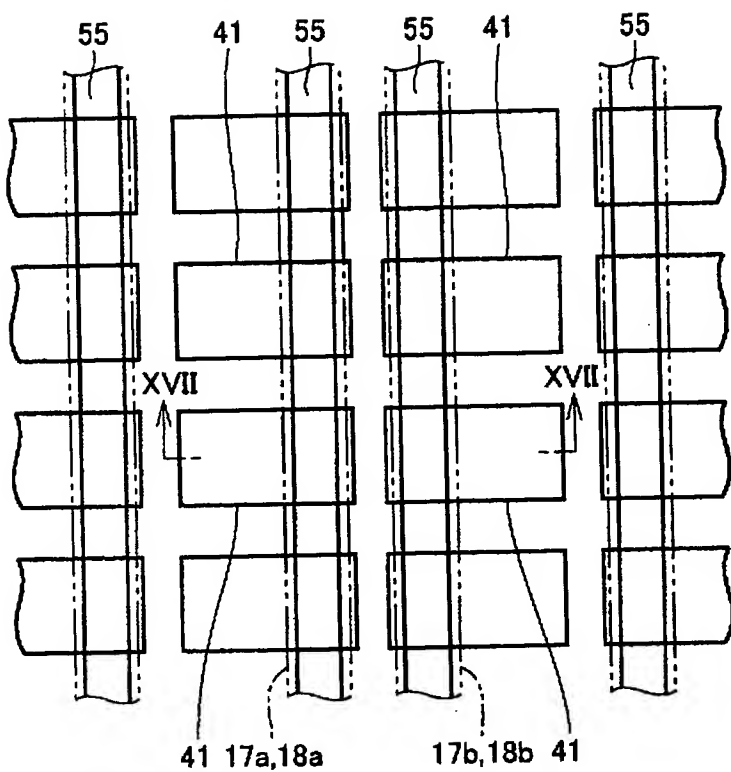
【図 1 4】



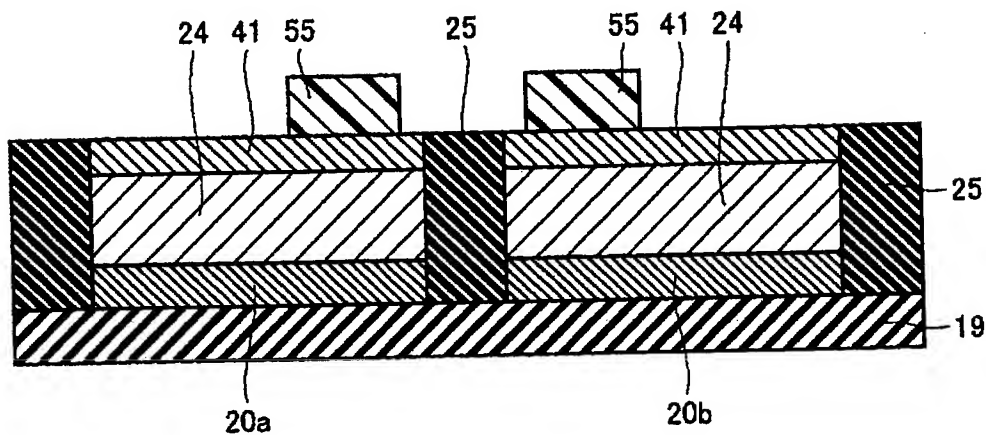
【図 1 5】



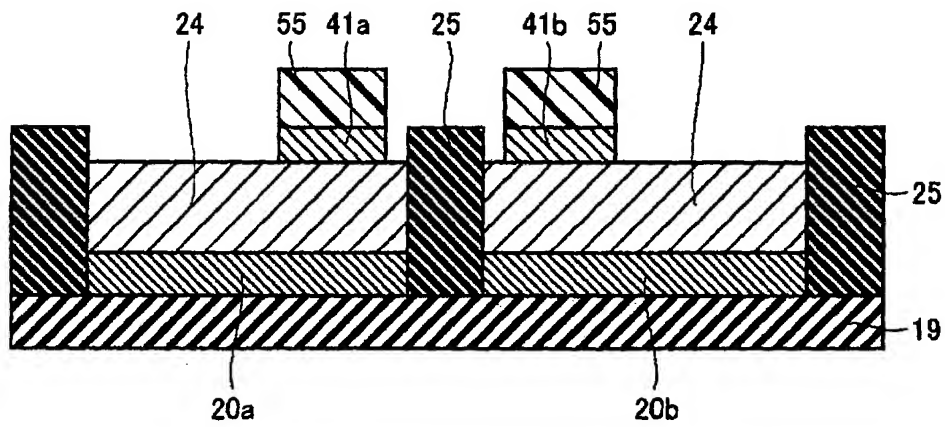
【図 16】



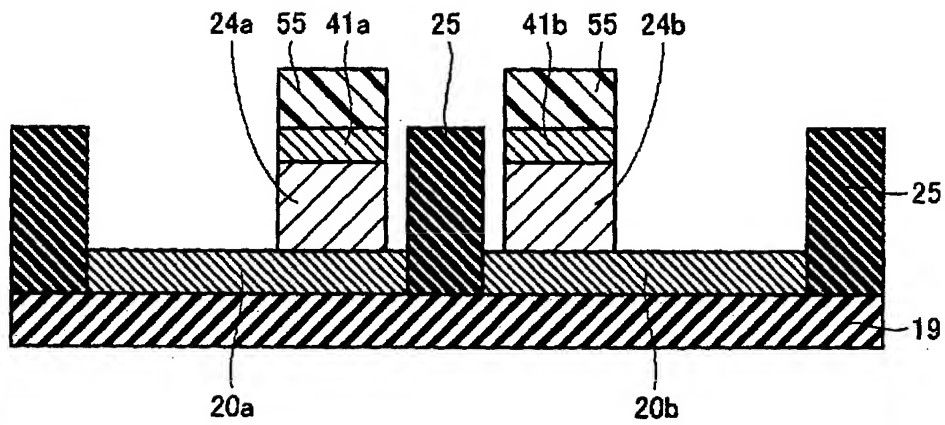
【図 17】



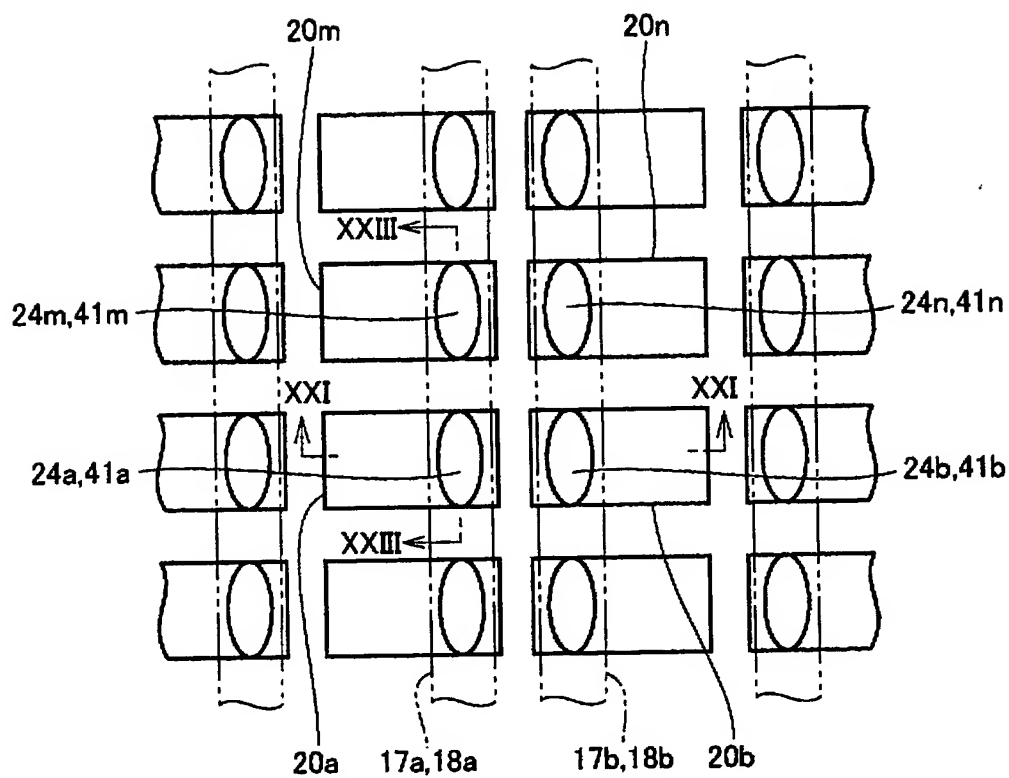
【図 1 8】



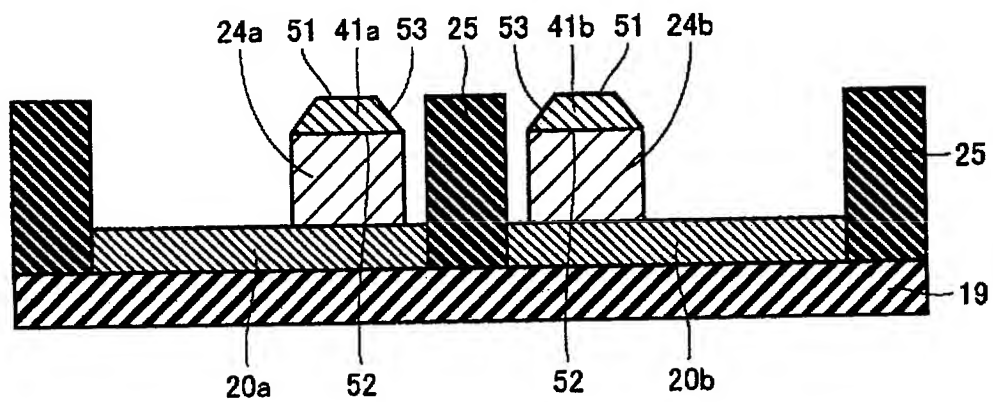
【図 1 9】



【図 2 0】

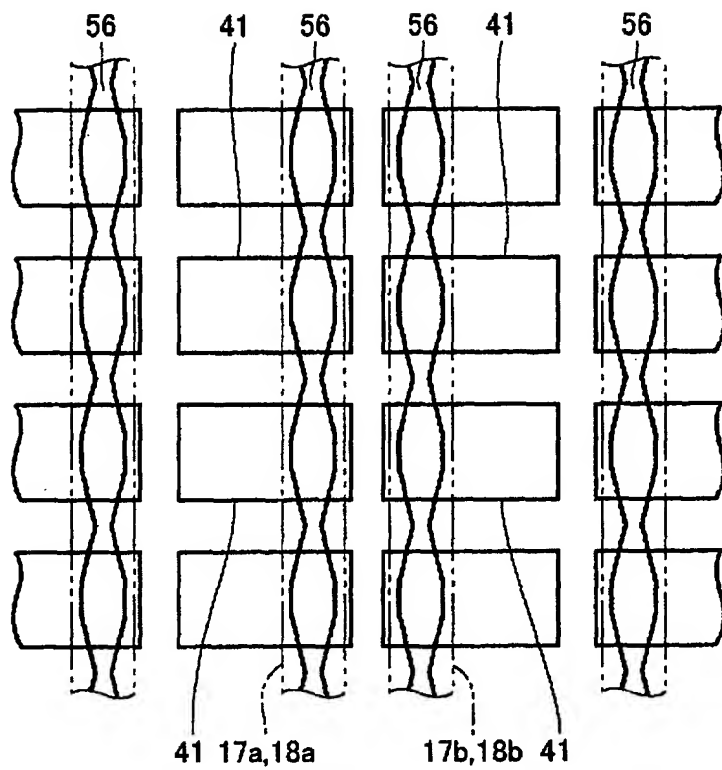


【図 2 1】

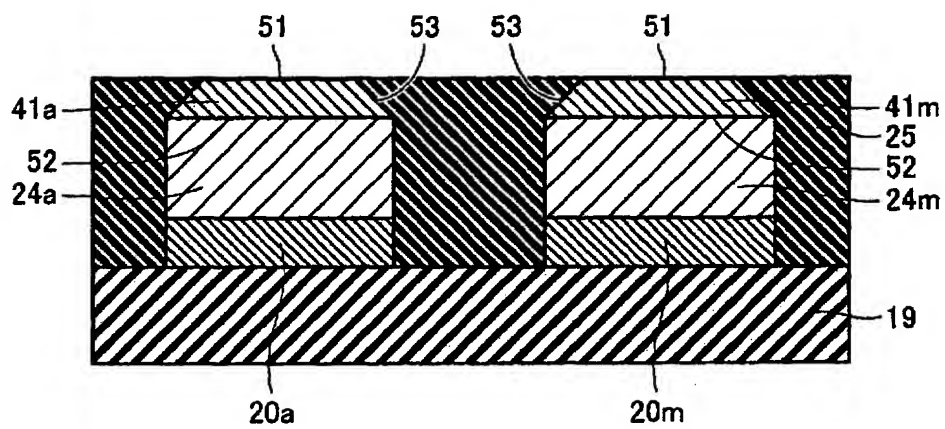




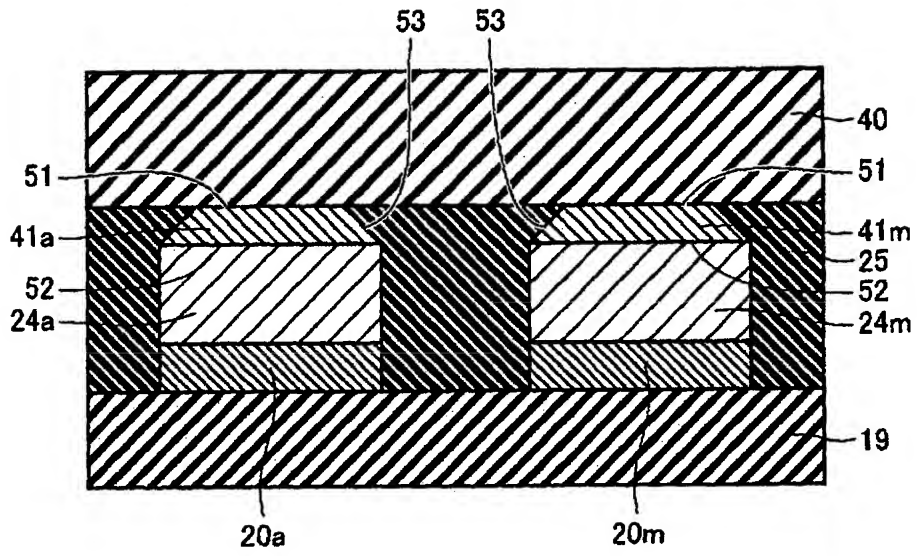
【図 2 2】



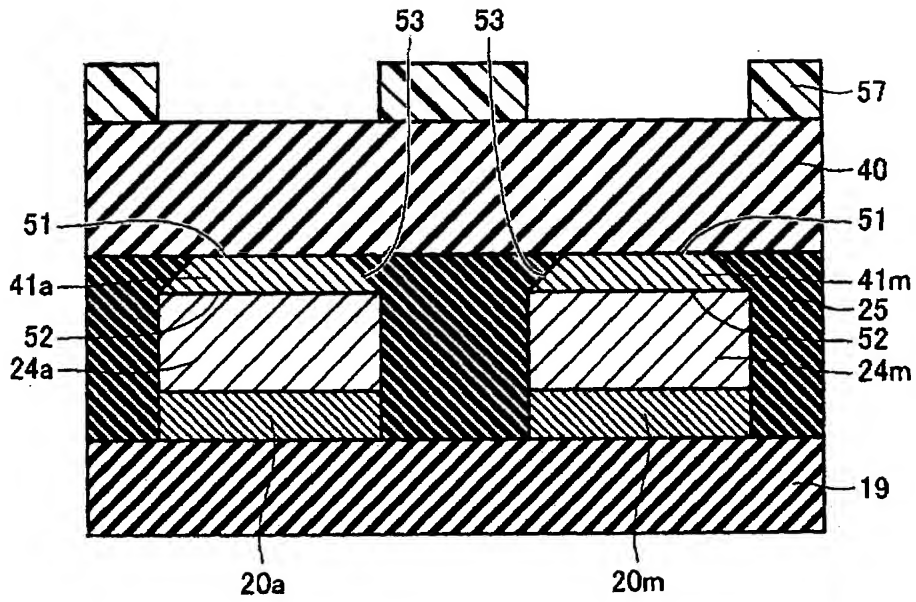
【図 2 3】



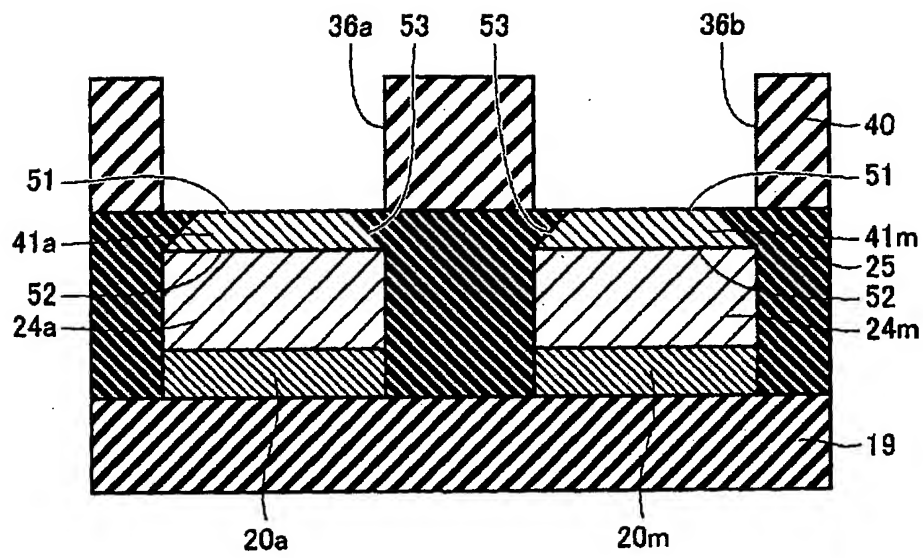
【図 2 4】



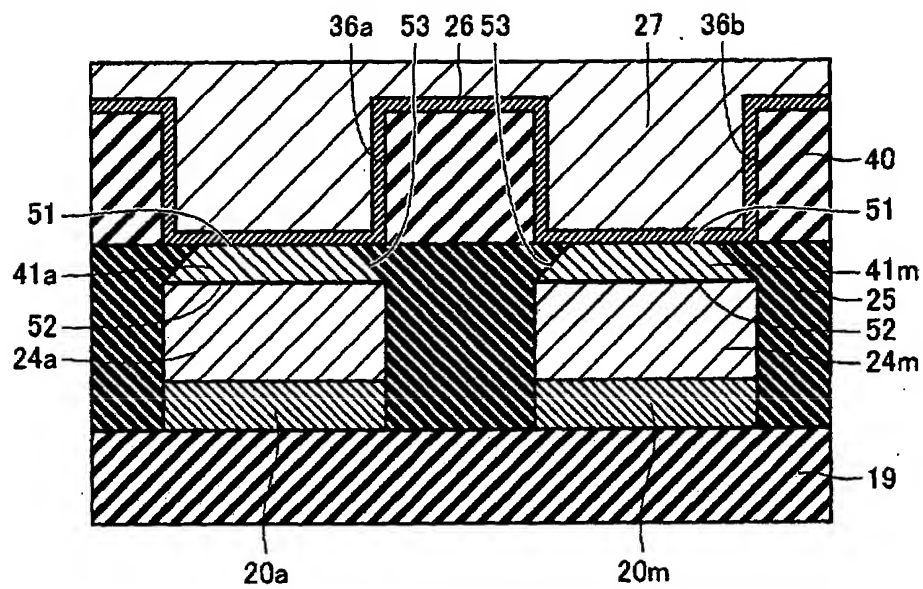
【図 2 5】



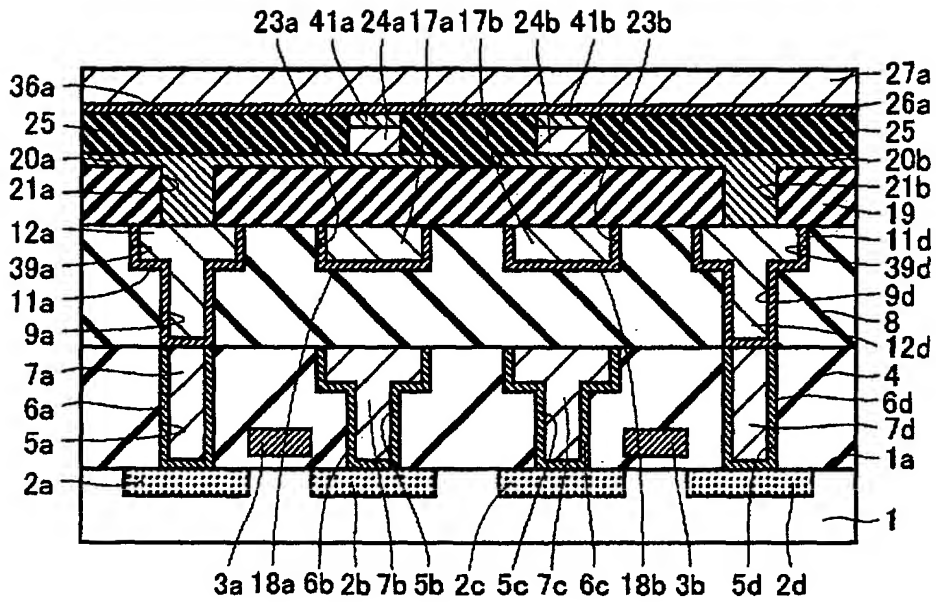
【図 2 6】



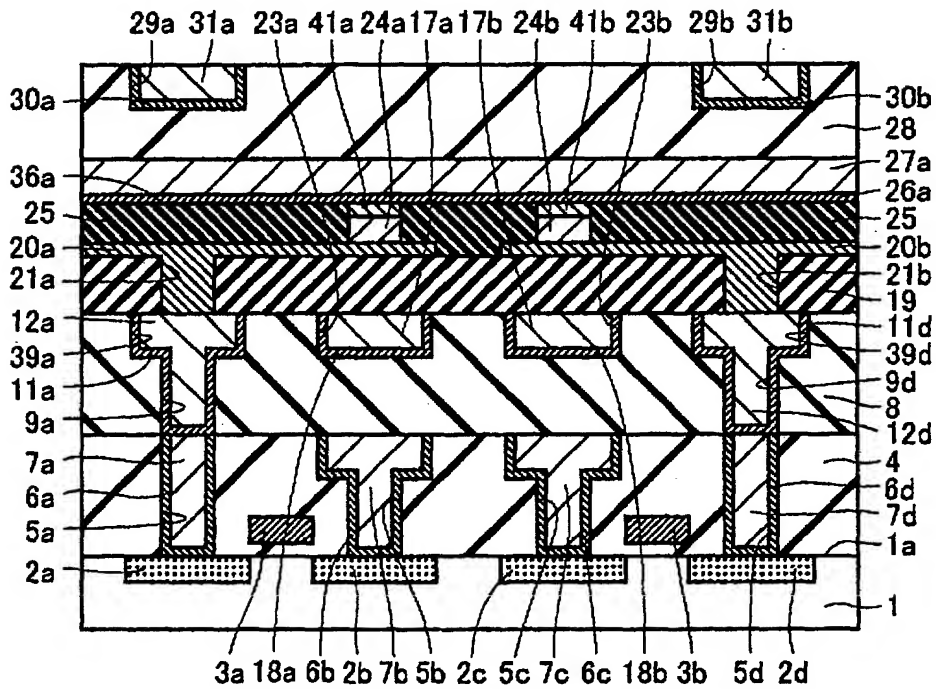
【図 2 7】



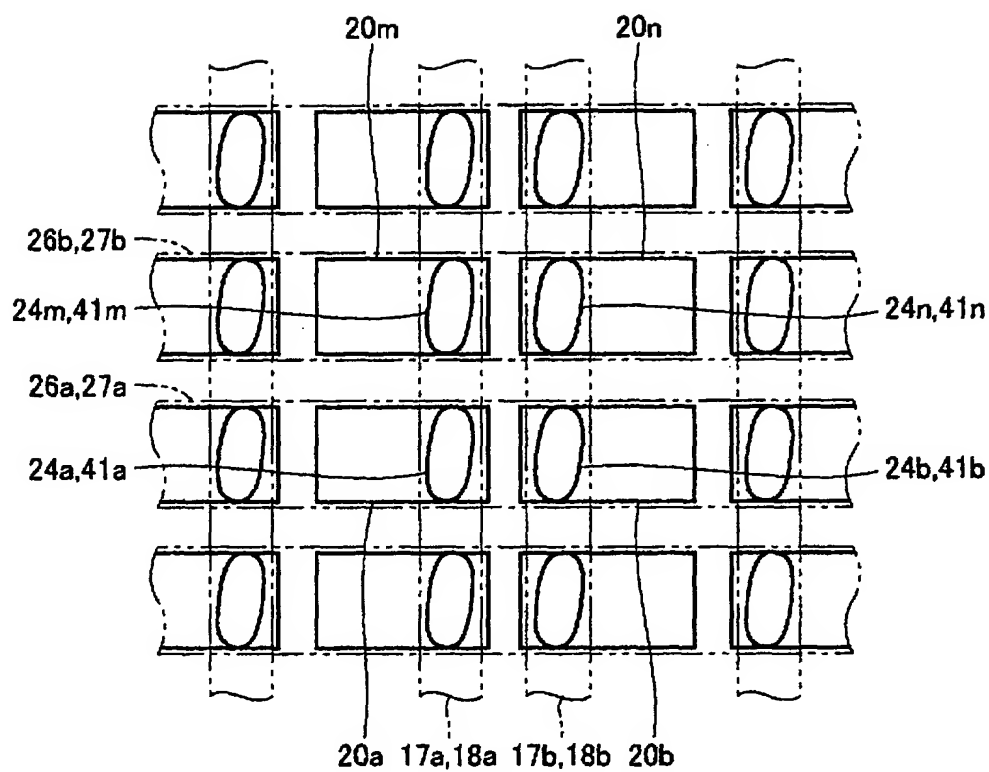
【図 28】



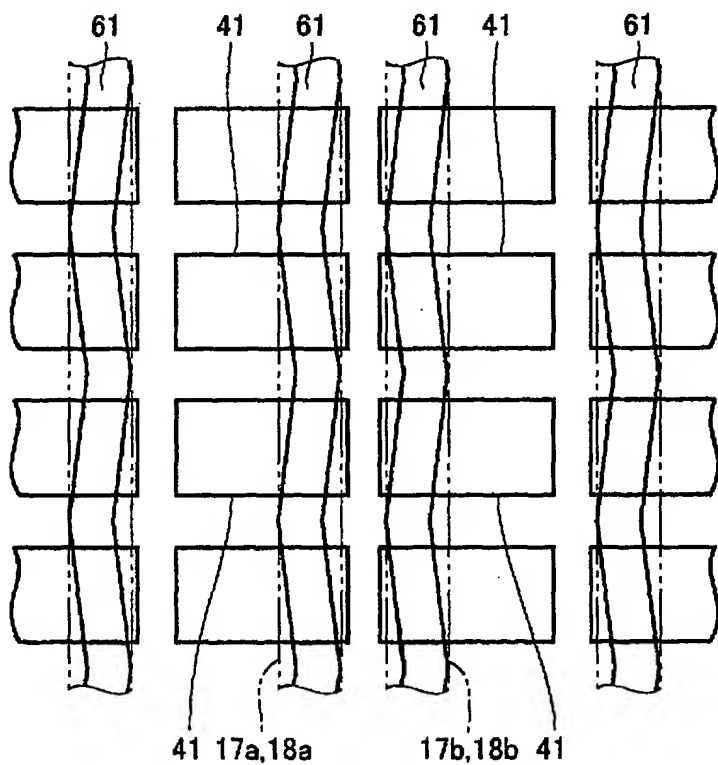
【図 29】



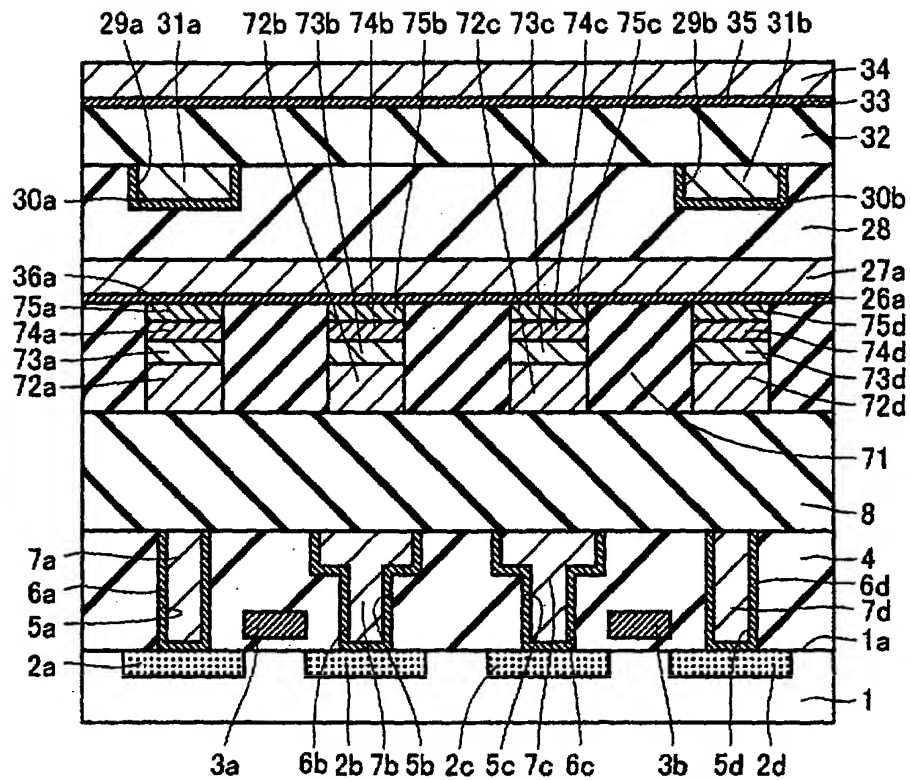
【図 3 0】



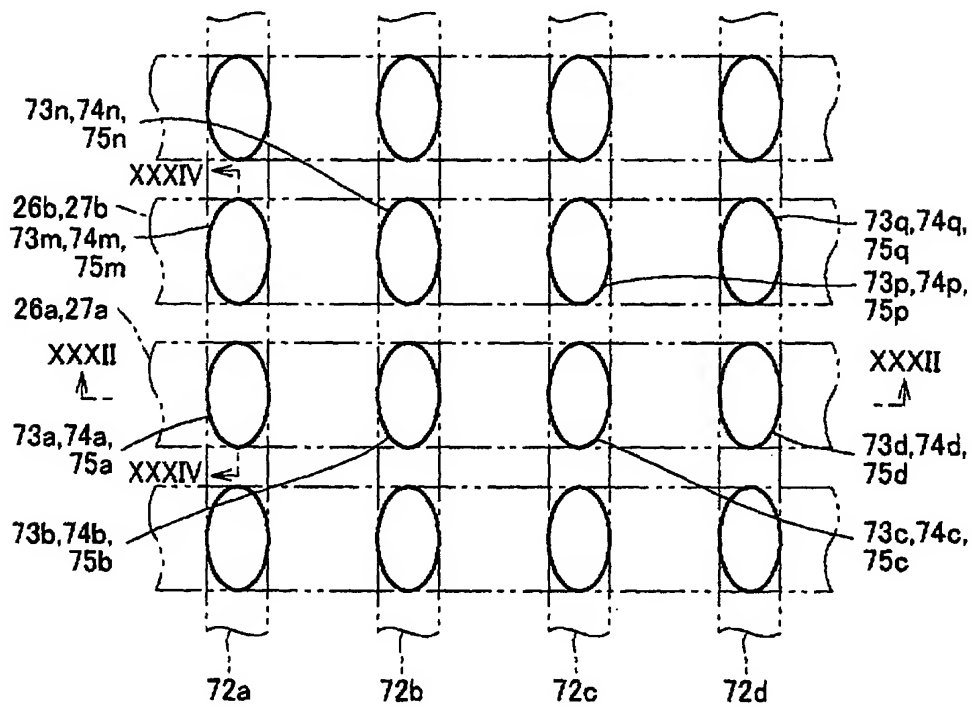
【図 3 1】



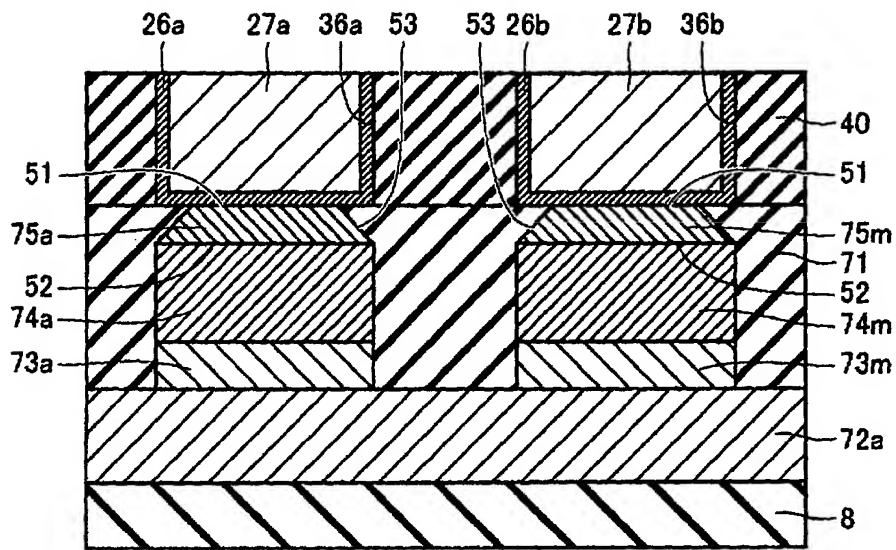
【図 3 2】



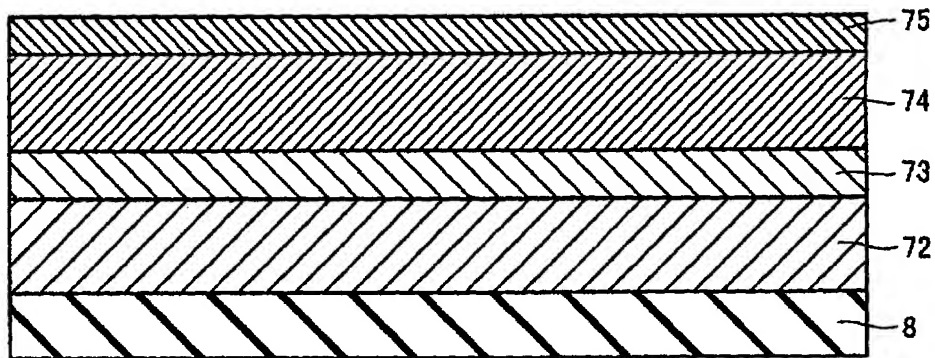
【図 3 3】



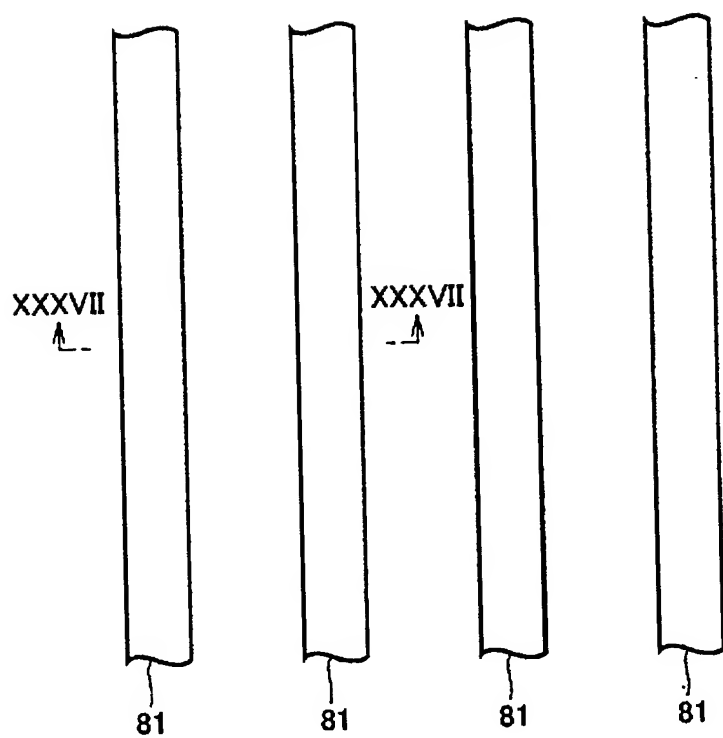
【図 3 4】



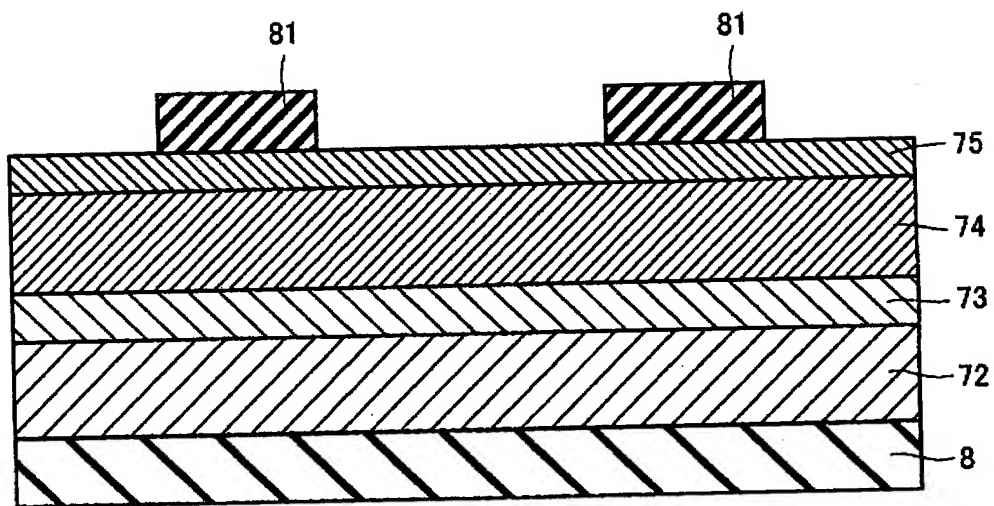
【図 3 5】



【図 36】

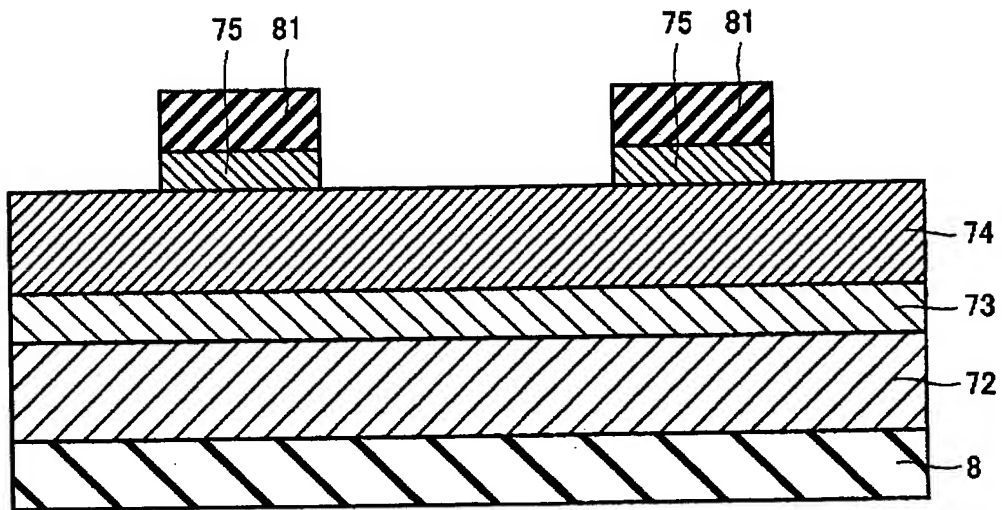


【図 37】

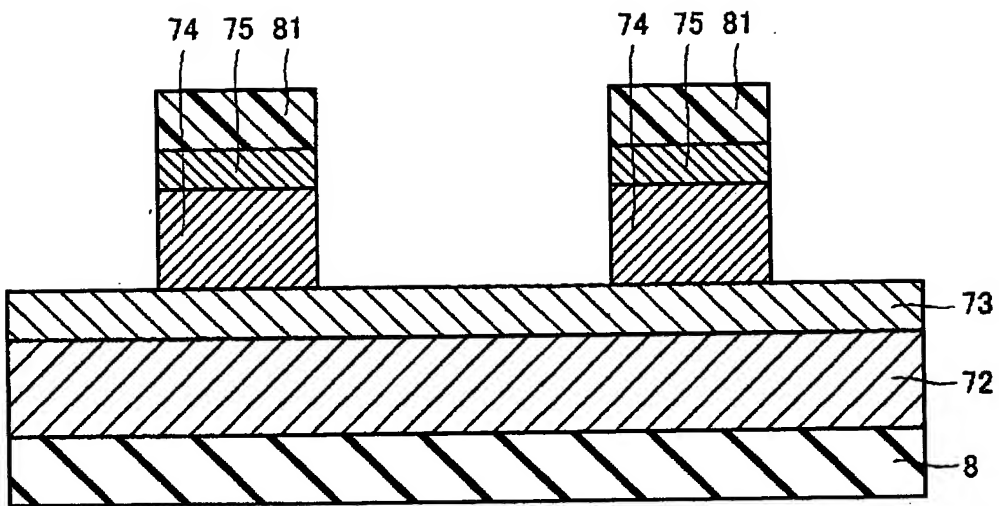




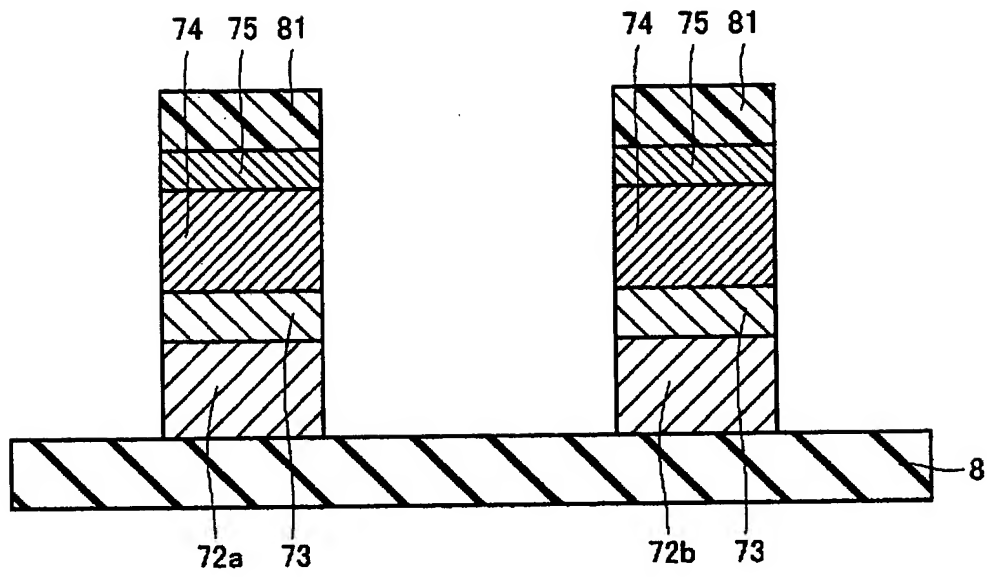
【図 3 8】



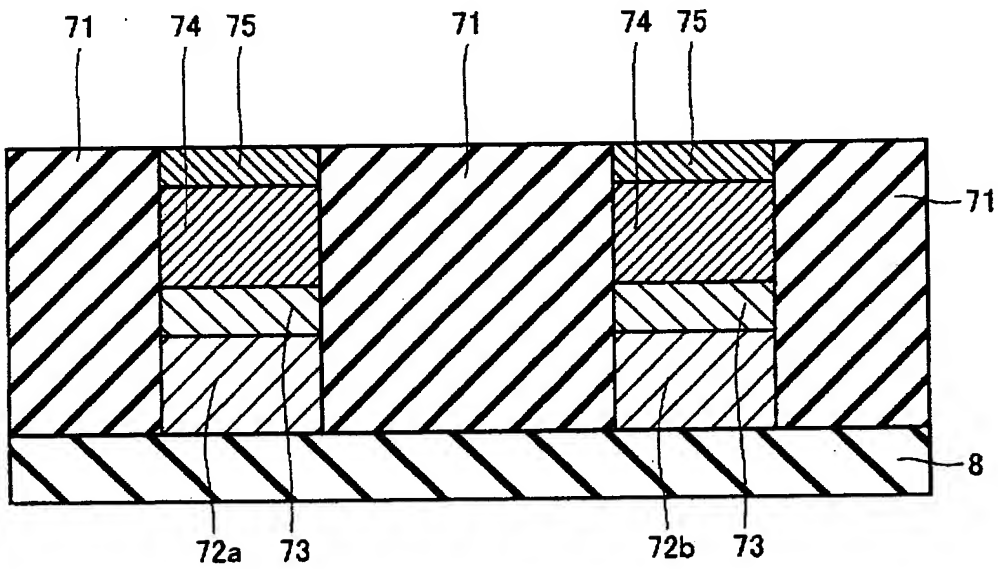
【図 3 9】



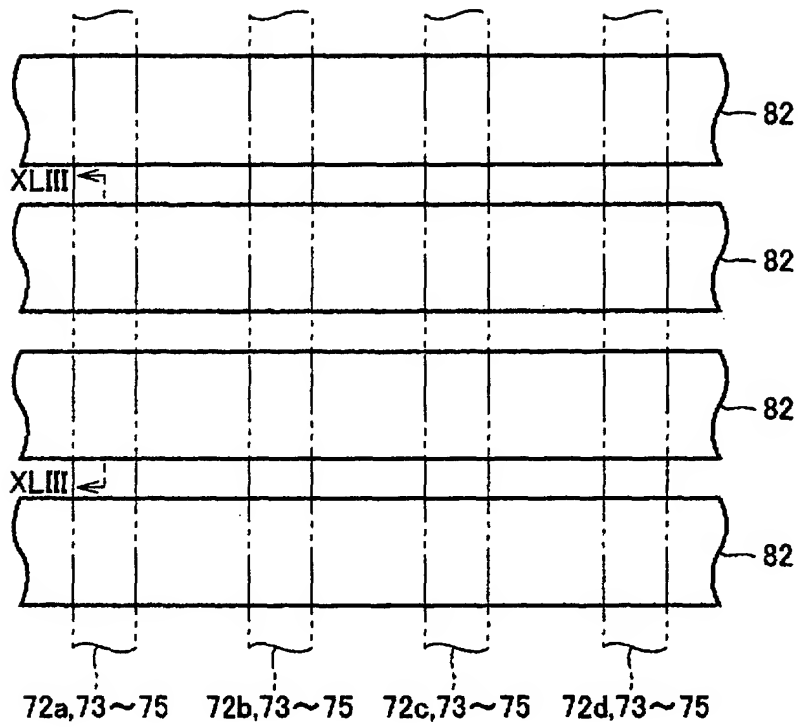
【図 4 0】



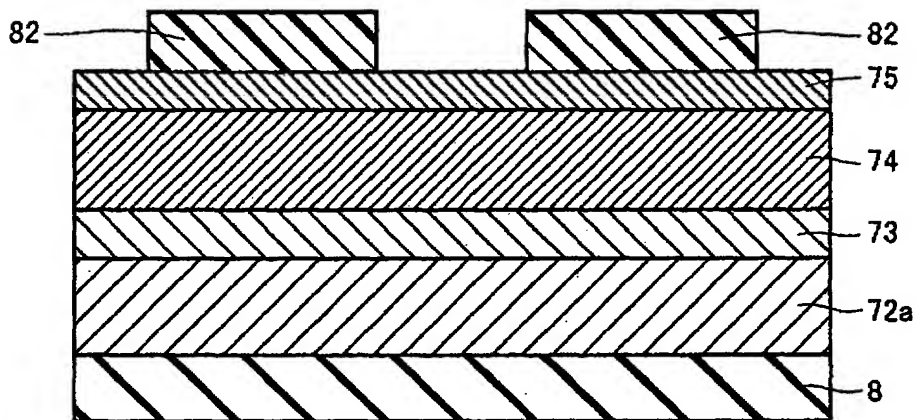
【図 4 1】



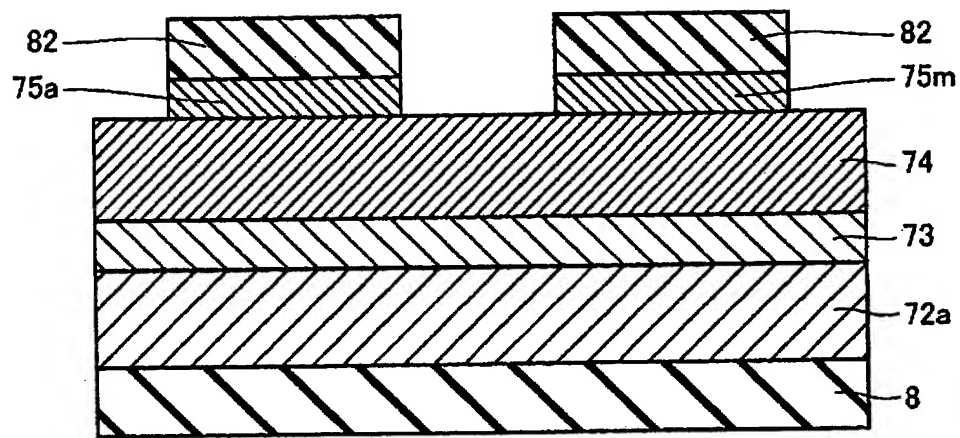
【図 4 2】



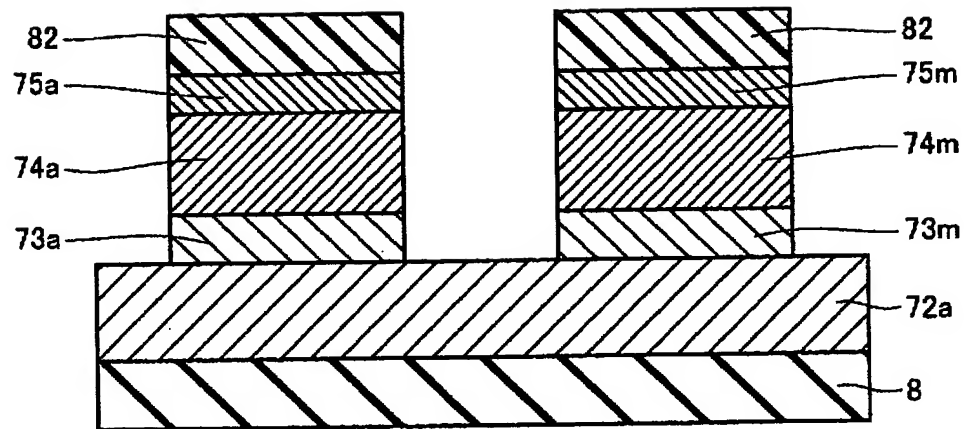
【図 4 3】



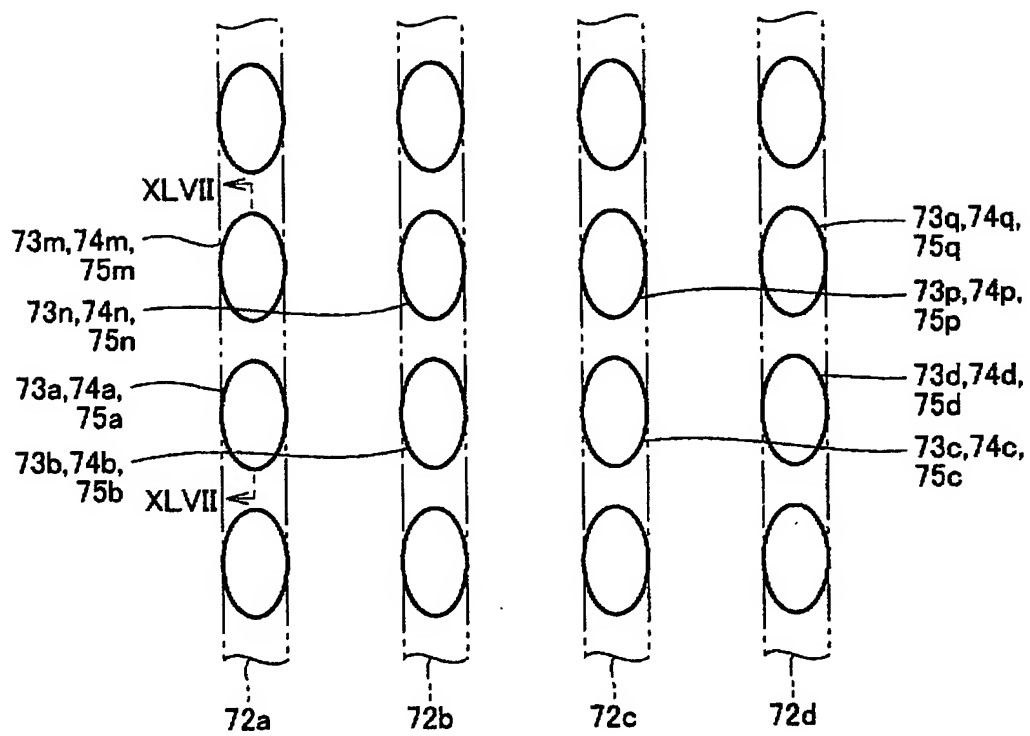
【図 4 4】



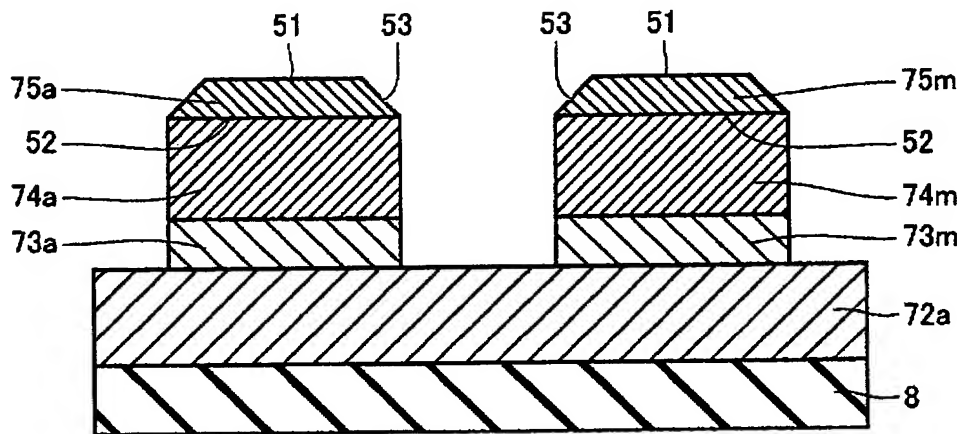
【図 4 5】



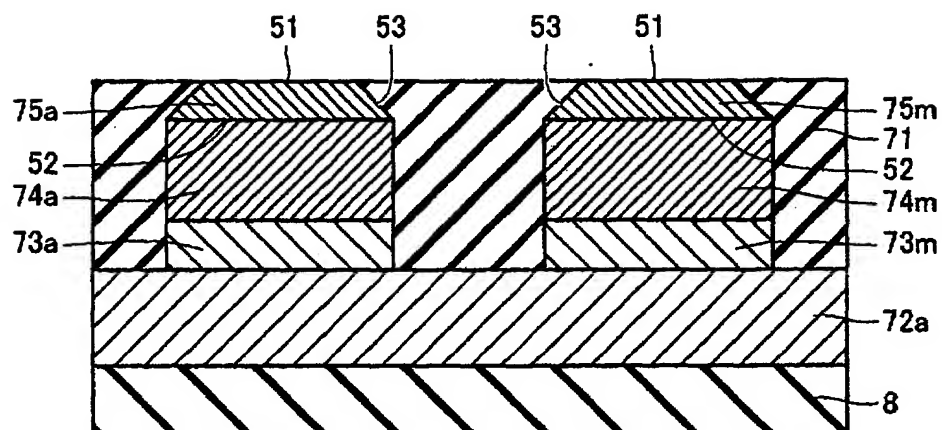
【図 4 6】



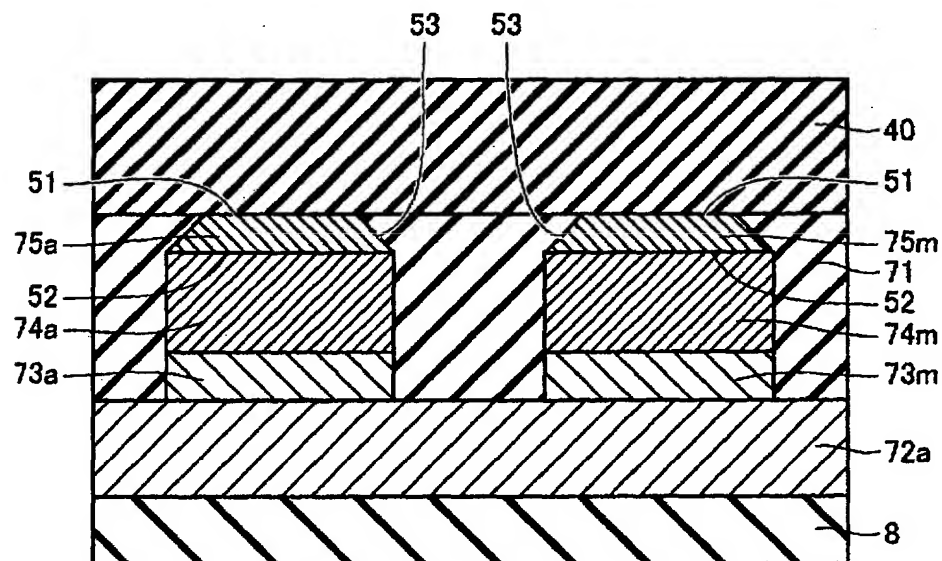
【図 4 7】



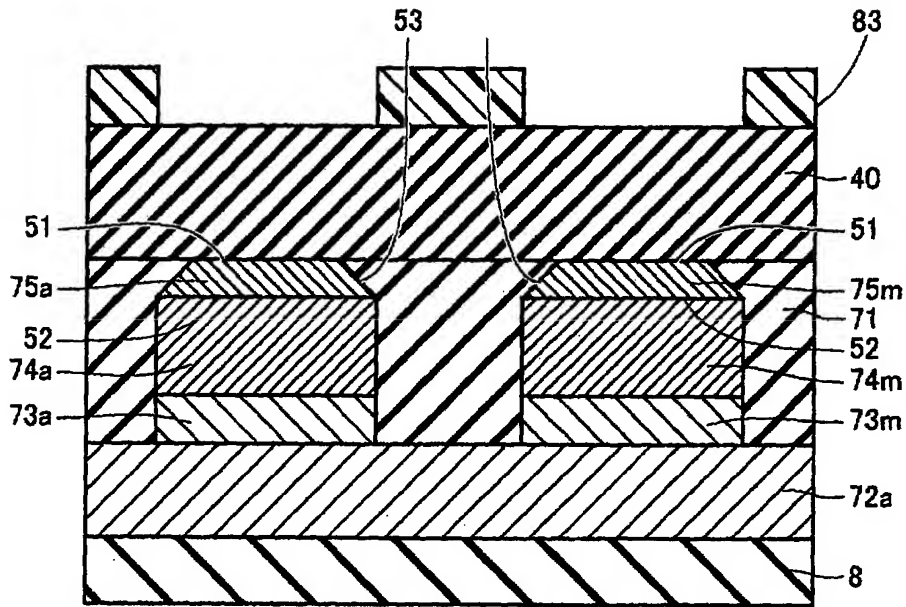
【図 4 8】



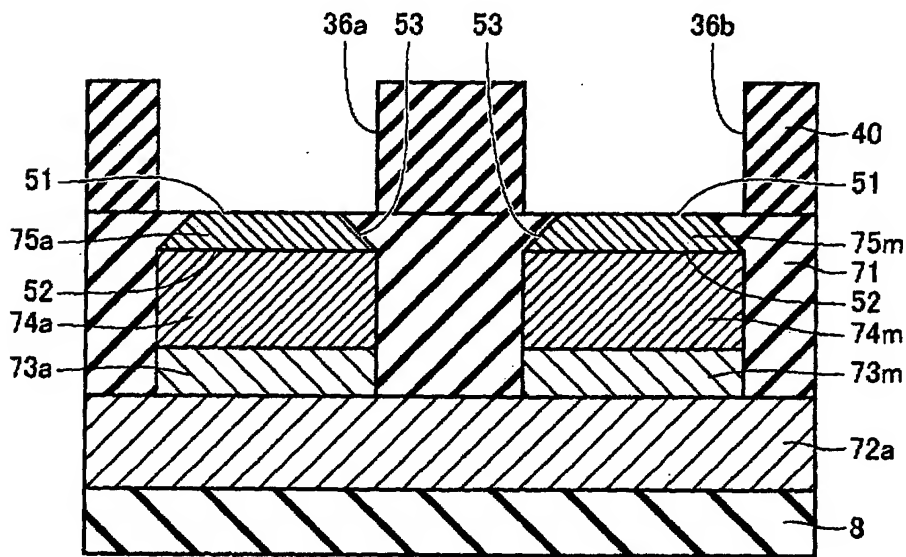
【図 4 9】



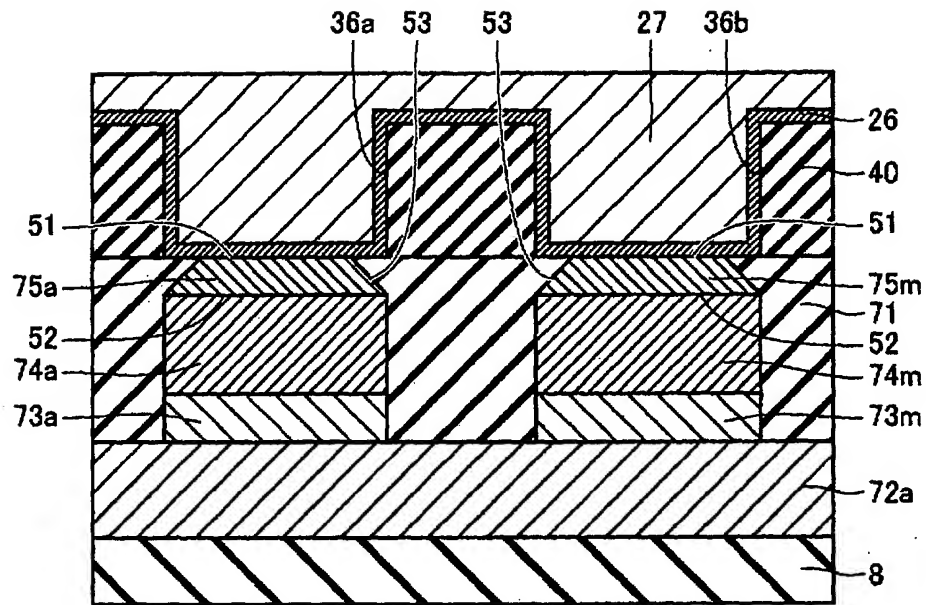
【図 50】



【図 51】



【図 5 2】





【書類名】 要約書

【要約】

【課題】 メモリセルの微細化を実現するとともに、信頼性の高い薄膜磁性体記憶装置およびその製造方法を提供する。

【解決手段】 薄膜磁性体記憶装置は、シリコン基板の主表面上に設けられ、メモリ素子として動作するTMR素子24aと、TMR素子24aに接触する第1の面52と、第1の面52の反対側に位置し、第1の面52の面積よりも小さい面積で形成された第2の面51とを有するバッファ層41aと、TMR素子24aと交差するように一方向に延在し、第2の面51に接触する導電体膜27aおよびバリアメタル膜26aからなるビット線とを備える。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社